

PATENT OFFICE
JAPANESE GOVERNMENT

#2
3/22/99
Cat

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: February 3, 1998

Application Number: Japanese Patent Application
No. 10-022257

Applicant(s) FUJITSU LIMITED



April 24, 1998

Commissioner,
Patent Office

Hisamitsu Arai (Seal)

Certificate No.10-3032158

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 8 年 2 月 3 日

出 願 番 号

Application Number:

平成 1 0 年特許願第 0 2 2 2 5 7 号

出 願 人

Applicant (s):

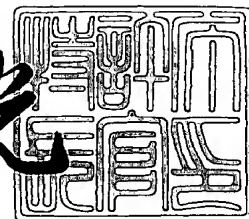
富士通株式会社



1 9 9 8 年 4 月 2 4 日

特 許 庁 長 官
Commissioner,
Patent Office

荒井 寿光



出証番号 出証特平 1 0 - 3 0 3 2 1 5 8

【書類名】 特許願

【整理番号】 9705248

【提出日】 平成10年 2月 3日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 H01L 27/00
G06F 1/12

【発明の名称】 半導体装置

【請求項の数】 16

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 富田 浩由

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 神田 達哉

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【郵便番号】 150

 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

 【電話番号】 03-5424-2511

【手数料の表示】

 【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 のクロックに同期してアドレス入力し第 2 のクロックに同期してデータ入力する半導体装置であって、

アドレスを取り込む複数のアドレスラッチ回路と、

該第 1 のクロックに対応して該複数のアドレスラッチ回路の一つを順番に指定して、指定されたアドレスラッチ回路が該第 1 のクロックに対応して該アドレスを取り込むように制御する第 1 の制御回路と、

該第 2 のクロックに対応して該複数のアドレスラッチ回路の一つを順番に指定して、指定されたアドレスラッチ回路が該第 2 のクロックに同期して該アドレスを出力するように制御する第 2 の制御回路を含むことを特徴とする半導体装置。

【請求項 2】 前記第 2 のクロックに同期してデータを取り込み該第 2 のクロックに同期して該データを出力するデータラッチ回路を更に含むことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 書き込みコマンドが入力された後に前記データラッチ回路を動作させるライトコマンドラッチ回路を更に含むことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記ライトコマンドラッチ回路は、前記第 1 の制御回路と前記第 2 の制御回路とを前記書き込みコマンドが入力されてから所定の期間動作させることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記第 1 の制御回路は、前記第 1 のクロックを分周する第 1 の分周器を含み該第 1 の分周器からの分周クロック信号により前記複数のアドレスラッチ回路の一つを順番に指定し、前記第 2 の制御回路は、前記第 2 のクロックを分周する第 2 の分周器を含み該第 2 の分周器からの分周クロック信号により前記複数のアドレスラッチ回路の一つを順番に指定することを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記第 1 のクロックに同期して前記アドレスを取り込むインク

リメントラッチ回路と、

該インクリメントラッチの取り込んだアドレスを1だけ増加させて該インクリメントラッチ回路に供給すると共に前記複数のアドレスラッチ回路に供給するアドレス生成器

を更に含み、該複数のアドレスラッチ回路は外部からのアドレス及び該アドレス生成器からのアドレスの一方を選択して取り込み可能であることを特徴とする請求項1記載の半導体装置。

【請求項7】前記データラッチ回路は、

前記第2のクロックの立ち上がりエッジに同期してデータを取り込む第1のデータラッチ回路と、

前記第2のクロックの立ち下がりエッジに同期してデータを取り込む第2のデータラッチ回路

を含むことを特徴とする請求項2記載の半導体装置。

【請求項8】第1のクロックに同期してアドレス入力し第2のクロックに同期してデータ入力する半導体装置であって、

データを取り込む複数のデータラッチ回路と、

該第2のクロックに対応して該複数のデータラッチ回路の一つを順番に指定して、指定されたデータラッチ回路が該第2のクロックに対応して該データを取り込むように制御する第1の制御回路と、

該第1のクロックに対応して該複数のデータラッチ回路の一つを順番に指定して、指定されたデータラッチ回路が該第1のクロックに同期して該データを出力するように制御する第2の制御回路

を含むことを特徴とする半導体装置。

【請求項9】前記第1のクロックに同期してアドレスを取り込み該第1のクロックに同期して該アドレスを出力するアドレスラッチ回路を更に含むことを特徴とする請求項8記載の半導体装置。

【請求項10】書き込みコマンドが入力された後に前記データラッチ回路を動作させるライトコマンドラッチ回路を更に含むことを特徴とする請求項8記載の半導体装置。

【請求項 11】前記ライトコマンドラッチ回路は、前記第 1 の制御回路と前記第 2 の制御回路とを前記書き込みコマンドが入力されてから所定の期間動作させることを特徴とする請求項 10 記載の半導体装置。

【請求項 12】前記第 1 の制御回路は、前記第 2 のクロックを分周する第 1 の分周器を含み該第 1 の分周器からの分周クロック信号により前記複数のアドレスラッチ回路の一つを順番に指定し、前記第 2 の制御回路は、前記第 1 のクロックを分周する第 2 の分周器を含み該第 2 の分周器からの分周クロック信号により前記複数のアドレスラッチ回路の一つを順番に指定することを特徴とする請求項 8 記載の半導体装置。

【請求項 13】前記アドレスラッチ回路の取り込んだアドレスを 1 だけ増加させて該アドレスラッチ回路に供給するアドレス生成器を更に含み、該アドレスラッチ回路は外部からのアドレス及び該アドレス生成器からのアドレスの一方を選択して取り込み可能であることを特徴とする請求項 9 記載の半導体装置。

【請求項 14】前記第 1 のデータラッチ回路及び前記第 2 のデータラッチ回路の各々は、

前記第 2 のクロックの立ち上がりエッジに同期してデータを取り込む第 1 のラッチと、

前記第 2 のクロックの立ち下がりエッジに同期してデータを取り込む第 2 のラッチ

を含むことを特徴とする請求項 8 記載の半導体装置。

【請求項 15】前記アドレスラッチ回路は、前記第 1 のクロックに基づいて該第 1 のクロックの所定サイクル数の期間だけ前記アドレスを遅らせて出力するシフトレジスタ回路を含むことを特徴とする請求項 9 記載の半導体装置。

【請求項 16】前記アドレスラッチ回路は、リード動作時にはクロック遅延無しで前記アドレスをアドレスバッファに転送することを特徴とする請求項 1 又は 9 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置に関し、詳しくはデータストロープ信号に基づいてデータ信号を取り込む半導体装置に関する。

【0002】

【従来の技術】

半導体記憶装置等の半導体装置には、安定した高速なデータ入出力を実現するために、クロック信号に同期してアドレス信号を取り込み、クロック信号とは別のデータストロープ信号に同期してデータ入出力を行うものがある。

図16は、データストロープ信号に同期してデータ取り込みを行う半導体装置のタイミング図を示す。

【0003】

図16には、データストロープ信号の立ち上がり立ち下りの両方のエッジに同期してデータを取り込むDDR (Double Data Rate) 方式によるデータ取り込みが示される。図16の最上段にはクロック信号CLKが示され、2段目と3段目とは、データストロープ信号DS及びこれに同期して取り込まれるデータ信号DQが示される。

【0004】

まずクロック信号CLKの第1番目の立ち上がりエッジ (clk1) で、書き込みコマンドと書き込みアドレスWA1とが入力される。書き込みコマンドは半導体装置の書き込みコマンドラッチに入力され、書き込みコマンドラッチからイネーブル信号が出力される。このイネーブル信号によって、データストロープ信号DS及びデータ信号DQとが、バッファに入力される。バッファに入力されたデータ信号DQは、バッファに入力されたデータストロープ信号DSに同期して、ラッチに取り込まれる。イネーブル信号を生成してバッファを活性化するまでにある程度の時間を必要とするために、書き込みコマンド入力 (clk1) からデータストロープ信号の最初の立ち上がりエッジまでの時間 t_{DS} は、約3ns程度の余裕が必要である。

【0005】

データストロープ信号DSの最初の立ち上がりエッジでデータD0をラッチし、次の立ち下りエッジでデータD1をラッチする。クロック信号CLKの第2

番目の立ち上がりエッジ (clk2) で次の書き込みアドレスWA 2を入力し、その後のデータストローブ信号DSの立ち上がりエッジでデータD 2をラッチし、次の立ち下がりエッジでデータ信号D 3をラッチする。

【0006】

DDR方式に於いては、データD 0及びD 1は、2つの異なったラッチに格納され、データD 1がラッチされた直後に、データD 0及びD 1が同時に、半導体装置の内部回路に供給される。この場合の書き込みアドレスはWA 1である。またデータD 3がラッチされた直後に、データD 2及びD 3が同時に、半導体装置の内部回路に供給される。この場合の書き込みアドレスはWA 2である。

【0007】

上述のような半導体装置に於いては、ユーザが入力するデータストローブ信号DSのタイミングに、許容可能なマージンを設定出来ることが望ましい。

図17は、データストローブ信号の立ち上がり、書き込みコマンド入力から1クロックサイクル遅れた場合のデータ取り込みを示すタイミングチャートである。

【0008】

まずクロック信号CLKの第1番目の立ち上がりエッジ (clk1) で、書き込みコマンドと書き込みアドレスWA 1とが入力される。データストローブ信号DSの最初の立ち上がりエッジは、アドレスWA 1入力から1クロックサイクル遅れて現れる (clk2)。このデータストローブ信号DSの立ち上がりエッジでデータD 0をラッチし、次の立ち下がりエッジでデータD 1をラッチする。クロック信号CLKの第2番目の立ち上がりエッジ (clk2) で次の書き込みアドレスWA 2を入力し、次のタイミング (clk3) のデータストローブ信号DSの立ち上がりエッジでデータD 2をラッチし、次の立ち下がりエッジでデータ信号D 3をラッチする。

【0009】

データD 1がラッチされた直後に、データD 0及びD 1を半導体装置の内部回路に供給する。この場合の書き込みアドレスは、WA 1である。しかしながら、直前のタイミング (clk2) で半導体装置に入力された書き込みアドレスはWA 2

である。従って、通常のバッファに書き込みアドレスを格納する単純な構成では、データD0及びD1を内部回路に供給する時点に於いては、既に書き込みアドレスWA1が書き込みアドレスWA2によって書き換えられてしまう。

【0010】

これを避けるためには、例えば書き込みアドレスWA1及びWA2を順次シフトレジスタ等に格納しておく必要がある。そしてデータD0及びD1を内部回路に供給するタイミングで書き込みアドレスWA1を読み出し、次にデータD2及びD3を内部回路に供給するタイミングで書き込みアドレスWA2を読み出す作業が必要になる。

【0011】

【発明が解決しようとする課題】

図16に示される最短 t_{DSS} のタイミングでは、内部回路へのデータ供給を行う直前のタイミングで取り込まれたアドレスを使用する必要がある。即ち、例えばデータD0及びD1を内部回路に供給する場合には、直前に取り込まれた書き込みアドレスはWA1であり、この書き込みアドレスWA1をデータD0及びD1と共に内部回路に供給する必要がある。それに対して図17の最長 t_{DDS} の場合には、上述のように、直前に取り込まれた書き込みアドレスWA2ではなく、更にその前に取り込まれた書き込みアドレスWA1を、データD0及びD1に対して用いる必要がある。

【0012】

このようにデータストロブ信号に許容可能なタイミングマージンを設けると、シフトレジスタ等にアドレスを格納することが必要になるばかりでなく、タイミングに応じてシフトレジスタからどのアドレスを読み出すのかを制御する必要が生じる。

従って本発明は、データストロブ信号に許容可能なタイミングマージンを設けた、データストロブ信号に同期してデータ取り込みを行う半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

請求項 1 の発明に於ては、第 1 のクロックに同期してアドレス入力し第 2 のクロックに同期してデータ入力する半導体装置は、アドレスを取り込む複数のアドレスラッチ回路と、該第 1 のクロックに対応して該複数のアドレスラッチ回路の一つを順番に指定して、指定されたアドレスラッチ回路が該第 1 のクロックに対応して該アドレスを取り込むように制御する第 1 の制御回路と、該第 2 のクロックに対応して該複数のアドレスラッチ回路の一つを順番に指定して、指定されたアドレスラッチ回路が該第 2 のクロックに同期して該アドレスを出力するように制御する第 2 の制御回路を含むことを特徴とする。

【0014】

請求項 2 の発明に於ては、請求項 1 記載の半導体装置に於て、前記第 2 のクロックに同期してデータを取り込み該第 2 のクロックに同期して該データを出力するデータラッチ回路を更に含むことを特徴とする。

請求項 3 の発明に於ては、請求項 2 記載の半導体装置に於て、書き込みコマンドが入力された後に前記データラッチ回路を動作させるライトコマンドラッチ回路を更に含むことを特徴とする。

【0015】

請求項 4 の発明に於ては、請求項 3 記載の半導体装置に於て、前記ライトコマンドラッチ回路は、前記第 1 の制御回路と前記第 2 の制御回路とを前記書き込みコマンドが入力されてから所定の期間動作させることを特徴とする。

請求項 5 の発明に於ては、請求項 1 記載の半導体装置に於て、前記第 1 の制御回路は、前記第 1 のクロックを分周する第 1 の分周器を含み該第 1 の分周器からの分周クロック信号により前記複数のアドレスラッチ回路の一つを順番に指定し、前記第 2 の制御回路は、前記第 2 のクロックを分周する第 2 の分周器を含み該第 2 の分周器からの分周クロック信号により前記複数のアドレスラッチ回路の一つを順番に指定することを特徴とする。

【0016】

請求項 6 の発明に於ては、請求項 1 記載の半導体装置に於て、前記第 1 のクロックに同期して前記アドレスを取り込むインクリメントラッチ回路と、該インクリメントラッチの取り込んだアドレスを 1 だけ増加させて該インクリメントラッ

チ回路に供給すると共に前記複数のアドレスラッチ回路に供給するアドレス生成器を更に含み、該複数のアドレスラッチ回路は外部からのアドレス及び該アドレス生成器からのアドレスの一方を選択して取り込み可能であることを特徴とする。

【0017】

請求項7の発明に於ては、請求項2記載の半導体装置に於て、前記データラッチ回路は、前記第2のクロックの立ち上がりエッジに同期してデータを取り込む第1のデータラッチ回路と、前記第2のクロックの立ち下がりエッジに同期してデータを取り込む第2のデータラッチ回路を含むことを特徴とする。

請求項8の発明に於ては、第1のクロックに同期してアドレス入力し第2のクロックに同期してデータ入力する半導体装置は、データを取り込む複数のデータラッチ回路と、該第2のクロックに対応して該複数のデータラッチ回路の一つを順番に指定して、指定されたデータラッチ回路が該第2のクロックに対応して該データを取り込むように制御する第1の制御回路と、該第1のクロックに対応して該複数のデータラッチ回路の一つを順番に指定して、指定されたデータラッチ回路が該第1のクロックに同期して該データを出力するように制御する第2の制御回路を含むことを特徴とする。

【0018】

請求項9の発明に於ては、請求項8記載の半導体装置に於て、前記第1のクロックに同期してアドレスを取り込み該第1のクロックに同期して該アドレスを出力するアドレスラッチ回路を更に含むことを特徴とする。

請求項10の発明に於ては、請求項8記載の半導体装置に於て、書き込みコマンドが入力された後に前記データラッチ回路を動作させるライトコマンドラッチ回路を更に含むことを特徴とする。

【0019】

請求項11の発明に於ては、請求項10記載の半導体装置に於て、前記ライトコマンドラッチ回路は、前記第1の制御回路と前記第2の制御回路とを前記書き込みコマンドが入力されてから所定の期間動作させることを特徴とする。

請求項12の発明に於ては、請求項8記載の半導体装置に於て、前記第1の制

御回路は、前記第2のクロックを分周する第1の分周器を含み該第1の分周器からの分周クロック信号により前記複数のアドレスラッチ回路の一つを順番に指定し、前記第2の制御回路は、前記第1のクロックを分周する第2の分周器を含み該第2の分周器からの分周クロック信号により前記複数のアドレスラッチ回路の一つを順番に指定することを特徴とする。

【0020】

請求項13の発明に於ては、請求項9記載の半導体装置に於て、前記アドレスラッチ回路の取り込んだアドレスを1だけ増加させて該アドレスラッチ回路に供給するアドレス生成器を更に含み、該アドレスラッチ回路は外部からのアドレス及び該アドレス生成器からのアドレスの一方を選択して取り込み可能であることを特徴とする。

【0021】

請求項14の発明に於ては、請求項8記載の半導体装置に於て、前記第1のデータラッチ回路及び前記第2のデータラッチ回路の各々は、前記第2のクロックの立ち上がりエッジに同期してデータを取り込む第1のラッチと、前記第2のクロックの立ち下がりエッジに同期してデータを取り込む第2のラッチを含むことを特徴とする。

【0022】

請求項15の発明に於ては、請求項9記載の半導体装置に於て、前記アドレスラッチ回路は、前記第1のクロックに基づいて該第1のクロックの所定サイクル数の期間だけ前記アドレスを遅らせて出力するシフトレジスタ回路を含むことを特徴とする。

請求項16の発明においては、請求項1又は9記載の半導体装置において、前記アドレスラッチ回路は、リード動作時にはクロック遅延無しで前記アドレスをアドレスバッファに転送することを特徴とする。

【0023】

上記請求項1乃至7の発明に於いては、第1のクロックに同期してアドレス入力し第2のクロックに同期してデータ入力する半導体装置に於いて、アドレスラッチ回路は第1のクロックに対応してアドレスを取り込み第2のクロックに同期

してアドレスを出力する。この際、複数のアドレスラッチ回路に順番に（２つのアドレスラッチ回路の場合は交互に）アドレスを書き込み、また順番にアドレスを読み出すことで、データと対応するアドレスとを第２のクロックに同期したタイミングで同時に内部回路に供給することが出来る。従って、データストロブ信号（第２のクロック）の設定されたマージン内であれば、データストロブ信号のタイミングに関わらずに、適切な書き込み動作を実現することが出来る。

【0024】

上記請求項 8 乃至 15 の発明に於いては、第１のクロックに同期してアドレス入力し第２のクロックに同期してデータ入力する半導体装置に於いて、データラッチ回路は第２のクロックに対応してデータを取り込み第１のクロックに同期してデータを出力する。この際、複数のデータラッチ回路に順番に（２つのデータラッチ回路の場合は交互に）データを書き込み、また順番にデータを読み出すことで、アドレスと対応するデータとを第１のクロックに同期したタイミングで同時に内部回路に供給することが出来る。従って、データストロブ信号（第２のクロック）の設定されたマージン内であれば、データストロブ信号のタイミングに関わらずに、適切な書き込み動作を実現することが出来る。

【0025】

上記請求項 16 の発明においては、リード動作時に、最短時間で出力を得ることが出来る。

【0026】

【発明の実施の形態】

以下に本発明の実施例を、添付の図面を用いて説明する。

図 1 は、本発明による半導体記憶装置の第 1 の実施例を示す構成図である。

図 1 の半導体記憶装置 10 は、データ入力バッファ 11、データストロブ入力バッファ 12、アドレスバッファ 13、データラッチ 14、シフトレジスタ 15、データラッチ 16、分周器 17、分周器 18、ラッチ出力クロック生成器 19、ラッチ入力クロック生成器 20、内部クロック生成器 21、コマンドデコーダ 22、ライトコマンドラッチ 23、インクリメントラッチ 24、アドレス生成器 25、ラッチ 26、ラッチ 27、アドレスバッファ 28、ライトアンプ 29、

ライトアンプ 30、クロック生成器 31、コラム選択パルス生成器 32、アドレス発生器 33、プリデコーダ 34、プリデコーダ 35、奇数セル配列 36、偶数セル配列 37、センスアンプ 38、センスアンプ 39、コラムデコーダ 40、コラムデコーダ 41、バースト長計測カウンタ 42、及びリードアンプ 43 及び 44 を含む。

【0027】

半導体装置 10 は、クロック信号 CLK に同期してアドレス入力を行い、データストローブ信号 DS に同期して、データ信号 DQ を取り込む。なおデータ信号 DQ 及びアドレス信号は複数ビットからなるが、以下の説明に於いて回路構成を示す際には、説明の簡略化のために 1 ビットの回路構成を示す。

本発明の第 1 の実施例の半導体装置 10 に於いては、ラッチ 26 及び 27 が、連続する 2 つの入力アドレスをラッチする。ラッチ 26 及び 27 は、ラッチ入力クロック生成器 20 の制御によって、アドレスバッファ 13 からの入力アドレスをクロック信号 CLK に同期して取り込み、ラッチ出力クロック生成器 19 の制御によって、ラッチしたアドレスをデータストローブ信号 DS に同期してアドレスバッファ 28 に出力する。入力アドレスは、ラッチ 26 から始まり、ラッチ 26 と 27 に交互に取り込まれる。またラッチしたアドレスをアドレスバッファ 28 に供給する際には、ラッチ 26 から始めて、ラッチ 26 及び 27 から交互にアドレスを出力する。

【0028】

このような構成とすれば、図 16 に示す最短 $t_{DS S}$ の場合と図 17 に示す最長 $t_{DS S}$ の場合との両者に対応することが出来る。

図 16 に示す最短 $t_{DS S}$ の場合には、ラッチ 26 にアドレス WA1 を取り込んで、データ D0 及び D1 に対応したタイミングでラッチ 26 のアドレス WA1 を出力する。次にラッチ 27 にアドレス WA2 を取り込んで、データ D2 及び D3 に対応したタイミングでラッチ 27 のアドレス WA2 を出力する。

【0029】

図 17 に示す最長 $t_{DS S}$ の場合には、ラッチ 26 にアドレス WA1 を取り込んで、次にラッチ 27 にアドレス WA2 を取り込む。データ D0 及び D1 に対応

したタイミングでラッチ 26 のアドレス WA 1 を出力し、次にデータ D 2 及び D 3 に対応したタイミングでラッチ 27 のアドレス WA 2 を出力する。

このように本発明の第 1 の実施例に於いては、シフトレジスタではなく、並列に設けられた 2 つのラッチ 26 及び 27 に入力アドレスを格納して、順次適切なタイミングで読み出すことで、最短 t_{DSS} から最長 t_{DSS} までのデータストロブ信号 DS のタイミングマージンに対応することが出来る。

【0030】

以下に、半導体記憶装置 10 の全体動作を説明する。

コマンドデコーダ 22 は、クロック信号 CLK と同期して入力されたコマンド Comm をデコードして、HIGH パルスの信号であるリード信号 rdp_z 、HIGH パルスの信号であるライト信号 wrp_z 、HIGH パルスの信号であるバーストリード／ライト信号 $intpn_z$ 或いはリード／ライト信号 $extpn_z$ を出力する。リード／ライト信号 $extpn_z$ からバースト長を測定しているのがバースト長測定カウンタ 42 であり、バーストリード／ライト期間では end_z が HIGH となり、その期間の間はコマンドデコーダ 22 からバーストリード／ライト信号 $intpn_z$ が出力される。またバースト期間終了時には、 $endp_z$ が出力され、イネーブル信号 wrt_z をリセットする。

【0031】

バーストリード／ライト信号 $intpn_z$ 或いはリード／ライト信号 $extpn_z$ は、ラッチ入力クロック生成器 20 に供給されて、ラッチ入力クロックの生成を制御する。ライト信号 wrp_z は、ライトコマンドラッチ 23 に供給される。ライトコマンドラッチ 23 は、ライト信号 wrp_z が供給されると、イネーブル信号 wrt_z を出力する。そしてリード信号 rdp_z 或いはバースト長終了信号 $endp_z$ で、イネーブル信号 wrt_z をリセットする。

【0032】

イネーブル信号 wrt_z は、データ入力バッファ 11 及びデータストロブ入力バッファ 12 に供給され、これらの入力バッファ 11 及び 12 をイネーブルにする。またイネーブル信号 wrt_z は、分周器 17 及び 18 に供給され、分周器 17 及び 18 に分周動作を開始させる。

なおこのイネーブル信号 $wrtz$ は、書き込みコマンドが入力されてからライトコマンドラッチ 23 によって所定の期間だけ出力される。これによって分周器 17 及び 18 を所定のサイクル数だけ動作させることが出来る。

【0033】

データ入力バッファ 11 は、イネーブル信号 $wrtz$ でイネーブルにされると、データ信号 DQ を受け取る。データストローブ入力バッファ 12 は、イネーブル信号 $wrtz$ でイネーブルにされると、データストローブ信号 DS を受け取る。受け取られたデータストローブ信号 DS は、データラッチ 14、シフトレジスタ 15、データラッチ 16、分周器 17、及びラッチ出力クロック生成器 19 に供給される。

【0034】

データ入力バッファ 11 が受け取ったデータ信号 DQ は、データストローブ信号 DS に同期して、データラッチ 14 及び 16 に格納される。データラッチ 14 に格納されたデータ信号 DQ は、データストローブ信号 DS に同期して、更にシフトレジスタ 15 に格納される。従って、順次入力されたデータを $D0$ 及び $D1$ とすれば、シフトレジスタ 15 には $D0$ が格納され、データラッチ 16 には $D1$ が格納されることになる。

【0035】

シフトレジスタ 15 及びデータラッチ 16 のデータは、ライトアンプ 29 及び 30 を介して、センスアンプ 38 及び 39 に書き込まれる。ライトアンプ 29 及び 30 の動作タイミングは、クロック生成器 31 からのタイミング信号で制御される。センスアンプ 38 及び 39 に書き込まれる際のコラムアドレスは、コラムデコーダ 40 及び 41 で指定される。センスアンプ 38 及び 39 に書き込まれたデータは、奇数セル配列 36 及び偶数セル配列 37 に格納される。

【0036】

クロック信号 CLK は、内部クロック生成器 21 に供給される。内部クロック生成器 21 は、内部クロック信号 $ICLK$ を生成する。

分周器 17 は、イネーブル信号 $wrtz$ に応答してデータストローブ信号 DS を $1/2$ に分周し、分周データストローブ信号 $ds2x$ を生成する。分周器 18

は、イネーブル信号w r t zに応答して内部クロック信号I C L Kを1/2に分周し、分周クロック信号c l k 2 zを生成する。

【0037】

ラッチ出力クロック生成器19は、データストローブ信号D S及び分周データストローブ信号d s 2 xに基づいて、ラッチ出力クロックd s 2 p x及びd s 2 p zを出力する。ラッチ出力クロックd s 2 p x及びd s 2 p zは各々、データストローブ信号D Sの立ち下がリエッジで一つおきにH I G Hになるパルス信号であり、互いに交互にH I G Hになる。

【0038】

ラッチ入力クロック生成器20は、分周クロック信号c l k 2 zのH I G H及びL O Wに応じて、H I G Hパルス信号であるライト信号e x t p n zを、ラッチ入力クロックe x t p l z或いはe x t p r zとして出力する。

ラッチ26は、ラッチ入力クロックe x t p r zがH I G Hの時に、アドレスバッファ13からのアドレス信号A d dをラッチする。更に、ラッチ出力クロックd s 2 p xがH I G Hの時に、ラッチしたアドレス信号をアドレスバッファ28に供給する。

【0039】

ラッチ27は、ラッチ入力クロックe x t p l zがH I G Hの時に、アドレスバッファ13からのアドレス信号A d dをラッチする。更に、ラッチ出力クロックd s 2 p zがH I G Hの時に、ラッチしたアドレス信号をアドレスバッファ28に供給する。

アドレス信号はアドレスバッファ28からアドレス発生器33に供給されて、アドレスを発生する。発生されたアドレスは、プリデコーダ34及び35でプリデコードされる。プリデコード結果は、コラム選択パルス生成器32からのパルスタイミングに基づいて、コラムデコーダ40及び41に供給される。コラムデコーダ40及び41は、プリデコード結果を更にデコードして、データ書き込みアドレスをデコード指定する。

【0040】

図2は、ラッチ26及び27の入出力タイミングを示すタイミング図である。

図2には、クロック信号CLK、分周クロック信号clk2z、ライト信号extpnz、ラッチ入力クロックextprz、ラッチ入力クロックextplz、データストローブ信号DS、分周データストローブ信号ds2x、ラッチ出力クロックds2px、及びラッチ出力クロックds2pzを示す。上述のように、ラッチ26に関しては、ラッチ入力クロックextprzでアドレス信号が取り込まれ、ラッチ出力クロックds2pxでラッチされたアドレスが出力される。またラッチ27に関しては、ラッチ入力クロックextplzでアドレス信号が取り込まれ、ラッチ出力クロックds2pzでラッチされたアドレスが出力される。

【0041】

このように本発明の第1の実施例に於いては、シフトレジスタではなく、並列に設けられた2つのラッチ26及び27に入力アドレスを格納して、順次適切なタイミングで読み出すことで、最短tDSSから最長tDSSまでのデータストローブ信号DSのタイミングマージンに対応することが出来る。

図1に於いて、インクリメントラッチ24及びアドレス生成器25は、連続アドレスを内部で自動生成する際に用いられる。インクリメントラッチ24は、ラッチ26或いは27にラッチされるアドレス信号Addを毎回ラッチする。アドレス生成器25は、インクリメントラッチ24がラッチしたアドレスを受け取って2（2ビットで同時にリード及びライトを行っているので）だけ増加させ、増加アドレスをインクリメントラッチ24とラッチ26及び27に供給する。バーストリード／ライト信号intpnzがアクティブの場合には、インクリメントラッチ24及びラッチ26及び27は、アドレス信号Addではなく、アドレス生成器25からの増加アドレスを受け取る。これによって、バーストリード／ライト信号intpnzがアクティブになった時点から、連続して増加するアドレスを生成して、ラッチ26及び27を介してアドレスバッファ28に供給することが出来る。なおこの場合に、ラッチ26及び27のデータ取り込みに際しては、ラッチ入力クロックintprz及びintplzが用いられる。

【0042】

以下に、図1の半導体記憶装置10に於いて、本発明によるアドレス信号のラ

ッチ入力／出力タイミングに関わる各要素の構成について説明する。

図3は、分周器17或いは18の回路構成を示す回路図である。

図3の分周器17或いは18は、NAND回路101乃至109、インバータ110乃至113、PMOSトランジスタ114、及びNMOSトランジスタ115及び116を含む。イネーブル信号wrtzは、NAND回路101、103、106、及び109に入力される。これによってイネーブル信号wrtzがHIGHの場合のみ、図3の分周器は動作する。イネーブル信号wrtzがHIGHの場合に、データストローブ信号DS或いは内部クロック信号ICLKが入力されると、入力信号は1/2に分周されて、分周データストローブ信号ds2x或いは分周クロック信号clk2zとして出力される。イネーブル信号wrtzがLOWの場合は、出力がHIGHに固定される。分周動作自体は従来技術の範囲内であるので、詳細な説明は省略する。

【0043】

図4は、ラッチ入力クロック生成器20の回路構成を示す回路図である。

図4のラッチ入力クロック生成器20は、NAND回路121乃至127及びインバータ128乃至132を含む。イネーブル信号wrtzがHIGHの時には、分周クロック信号clk2zが、NAND回路121からNAND回路124の一方の入力に供給される。NAND回路124の他方の入力には、リード／ライト信号extpnzが供給される。従って、分周クロック信号clk2zがHIGHの時に、リード／ライト信号extpnzがラッチ入力クロックextplzとして出力される。また分周クロック信号clk2zの反転信号が、NAND回路123からNAND回路125の一方の入力に供給される。NAND回路125の他方の入力には、リード／ライト信号extpnzが供給される。従って、分周クロック信号clk2zがLOWの時に、リード／ライト信号extpnzがラッチ入力クロックextprzとして出力される。イネーブル信号wrtzがLOWのときには、ラッチ入力クロックextplz／extprzの両方が出力される。

【0044】

バーストリード／ライト信号intpnzが供給される場合には、分周クロッ

ク信号 $clk2z$ が HIGH の時に、バーストリード／ライト信号 $intpnz$ がラッチ入力クロック $intplz$ として出力される。また分周クロック信号 $clk2z$ が LOW の時に、バーストリード／ライト信号 $intpnz$ がラッチ入力クロック $intprz$ として出力される。イネーブル信号 $wrtz$ が LOW のときには、ラッチ入力クロック $intplz / intprz$ の両方が出力される。

【0045】

図5は、ラッチ出力クロック生成器19の回路構成を示す回路図である。

図5のラッチ出力クロック生成器19は、NAND回路141乃至145、インバータ146乃至152、及び容量C1及びC2を含む。インバータ146に入力されたデータストローブ信号DSは、インバータ147乃至149と容量C1及びC2からなる遅延素子列で遅延される。NAND回路141及びインバータ150は、反転されたデータストローブ信号DSと遅延されたデータストローブ信号とのANDを取ることで、データストローブ信号DSの立ち下がりエッジでHIGHになるパルス信号を生成する。このパルス信号は、分周データストローブ信号 $ds2x$ が HIGH の時に、NAND回路143及び145を介して、ラッチ出力クロック $ds2px$ として出力される。また分周データストローブ信号 $ds2x$ が LOW の時に、NAND回路142及び144を介して、ラッチ出力クロック $ds2pz$ として出力される。イネーブル信号 $wrtz$ が LOW のときには、 $ds2pz / ds2px$ が共にHIGHとなる。

【0046】

図6は、ラッチ26及び27及びアドレスバッファ28の回路構成を示す回路図である。

図6のラッチ26及び27は同一の構成であり、インバータ161乃至168及びトランスファークゲート169乃至172を含む。トランスファークゲート169乃至172の各々は、PMOSトランジスタとNMOSトランジスタとの対から構成される。ラッチ入力クロック $extplz$ (或いは $extprz$) がHIGHになると、トランスファークゲート169が開き、アドレスバッファ13 (図1) からのアドレス信号Addが、インバータ164及び165からなるラッチ

に格納される。ラッチに格納されたアドレス信号は、ラッチ出力クロック $ds2pz$ （或いは $ds2px$ ）が HIGH になると、トランスファークラック 172 が開くことで、アドレスバッファ 28 に供給される。

【0047】

ラッチ入力クロック $intplz$ （或いは $intprz$ ）が供給されるときには、アドレス生成器 25（図1）からのインクリメントされたアドレス信号 $iAdd$ が、まずインバータ 167 及び 168 からなるラッチに格納され、ラッチ入力クロック $intplz$ （或いは $intprz$ ）が HIGH になるタイミングで、インバータ 164 及び 165 からなるラッチに格納される。

【0048】

アドレスバッファ 28 は、インバータ 181 乃至 185 を含み、ラッチ 26 或いは 27 から供給されたアドレス信号を格納し、アドレス信号とその反転信号とを出力する。イネーブル信号 $wrtz$ が LOW のときには、 $extplz/ex$
 $tprz$ でアドレス信号 Add が、また $intplz/intprz$ でアドレス
信号 $iAdd$ が、ラッチに格納される。それと同時に、 $ds2pz/ds2px$
が HIGH である為、直ちにアドレスバッファに伝えられる。このようにしてリ
ード時には、リードコマンドから最短時間で、出力が得られる構成となっている。
。

【0049】

図7は、インクリメントラッチ 24 の回路構成を示す回路図である。

図7のインクリメントラッチ 24 は、インバータ 201 乃至 209 及びトランスファークラック 210 乃至 212 を含む。トランスファークラック 210 乃至 212 の各々は、PMOS トランジスタと NMOS トランジスタとの対から構成される。リード/ライト信号 $extpnz$ が HIGH になると、トランスファークラック 210 が開き、アドレス信号 Add が、インバータ 206 及び 207 からなるラッチに格納される。ラッチに格納されたデータは、インバータ 208 及び 209 を介して、アドレス生成器 25（図1）に供給される。

【0050】

バーストリード/ライト信号 $intpnz$ が供給されるときには、アドレス生

成器 25 (図 1) からのインクリメントされたアドレス信号 $iAdd$ が、まずインバータ 204 及び 205 からなるラッチに格納され、バーストリード/ライト信号 $intpnz$ が HIGH になるタイミングで、インバータ 206 及び 207 からなるラッチに格納される。

【0051】

図 8 は、本発明による半導体記憶装置の第 2 の実施例を示す構成図である。図 8 に於いて、図 1 と同一の要素は同一の番号で参照し、その説明は省略する。

図 8 の半導体記憶装置 50 は、図 1 のデータ入力バッファ 11、データストロープ入力バッファ 12、アドレスバッファ 13、分周器 17、分周器 18、コマンドデコーダ 22、ライトコマンドラッチ 23、アドレス生成器 25、アドレスバッファ 28、ライトアンプ 29、ライトアンプ 30、クロック生成器 31、コラム選択パルス生成器 32、アドレス発生器 33、プリデコーダ 34、プリデコーダ 35、奇数セル配列 36、偶数セル配列 37、センスアンプ 38、センスアンプ 39、コラムデコーダ 40、コラムデコーダ 41、バースト長計測カウンタ 42、及びリードアンプ 43 及び 44 を含む。半導体記憶装置 50 は更に、データラッチ 51、シフトレジスタ 52、データラッチ 53、データラッチ 54、シフトレジスタ 55、データラッチ 56、遅延回路 57、ラッチ入力クロック生成器 58、ラッチ出力クロック生成器 59、内部クロック生成器 60、アドレスラッチ 61、及びシフトレジスタ 62 を含む。

【0052】

第 1 の実施例に於いては、アドレス信号をクロック信号 CLK に同期して取り込んで、データストロープ信号 DS に同期して出力することによって、アドレスとデータとのタイミングを合わせている。それに対して第 2 の実施例に於いては、アドレス信号はクロック信号 CLK に同期したままにしておいて、データストロープ信号 DS に同期して取り込まれるデータ信号を、クロック信号 CLK に同期して出力することで、アドレスとデータとのタイミングを合わせる。

【0053】

より詳細には、アドレスバッファ 13 に供給されたアドレス信号 Add は、クロック信号 CLK の立ち上がりエッジでアドレスラッチ 61 にラッチされる。そ

の後シフトレジスタ62によって、1.5サイクルだけアドレス信号Addを遅らせて、アドレス信号Add入力から1.5サイクル後に、ラッチしたアドレスをアドレスバッファ28に供給する。最短 t_{DSS} から最長 t_{DSS} の間のどのタイミングでデータストロブ信号DSが与えられる場合であっても、アドレスは1.5サイクル遅らされる。従って、データ書き込み動作は常に、コマンド入力のタイミング（アドレス入力のタイミング）から、1.5サイクル後に開始される。

【0054】

以下に、最短 t_{DSS} の場合と最長 t_{DSS} の場合とに関して、半導体記憶装置50の動作を説明する。

図9は、最短 t_{DSS} の場合の半導体記憶装置の動作を説明するタイミング図である。なお図9は説明のための図であり、回路素子による信号の遅延は示されない。

【0055】

図8及び図9を参照して、最短 t_{DSS} の場合には、まずクロック信号CLKの立ち上がりエッジ（clk1）に応じて、書き込みアドレスWA1がアドレスラッチ61にラッチされる。次にデータ信号DQのデータD0が、データストロブ信号DSの立ち上がりエッジに応じて、データラッチ51にラッチされる。次にデータストロブ信号DSの立ち下がりエッジに応じて、データD1がデータラッチ53にラッチされる。それと同時に、データラッチ51のデータD0が、シフトレジスタ52に格納される。

【0056】

更にクロック信号CLKの次の立ち上がりエッジ（clk2）に応じて、書き込みアドレスWA2がアドレスラッチ61にラッチされる。このとき前に入力された書き込みアドレスWA1は、シフトレジスタ62に移動され格納される。次にデータ信号DQのデータD2が、データストロブ信号DSの立ち上がりエッジに応じて、データラッチ54にラッチされる。次にデータストロブ信号DSの立ち下がりエッジに応じて、データD3がデータラッチ56にラッチされる。それと同時に、データラッチ54のデータD2が、シフトレジスタ55に格納され

る。

【0057】

上記動作と平行して、書き込みアドレスWA1の入力から1.5サイクル後のタイミング (clk2.5) で、書き込みアドレスWA1に対するデータ書き込みが開始される。即ち、書き込みアドレスWA1がシフトレジスタ62から、アドレスバッファ28に供給されると共に、シフトレジスタ52のデータD0とデータラッチ53のデータD1が、ライトアンプ29及び30に供給される。

【0058】

更に、書き込みアドレスWA2の入力から1.5サイクル後のタイミング (clk3.5) で、書き込みアドレスWA2に対するデータ書き込みが開始される。即ち、書き込みアドレスWA2がシフトレジスタ62から、アドレスバッファ28に供給されると共に、シフトレジスタ55のデータD2とデータラッチ56のデータD3が、ライトアンプ29及び30に供給される。

【0059】

図10は、最長tDSSの場合の半導体記憶装置の動作を説明するタイミング図である。なお図10は説明のための図であり、回路素子による信号の遅延は示されない。

図8及び図10を参照して、最長tDSSの場合には、まずクロック信号CLKの立ち上がりエッジ (clk1) に応じて、書き込みアドレスWA1がアドレスラッチ61にラッチされる。更にクロック信号CLKの次の立ち上がりエッジ (clk2) に応じて、書き込みアドレスWA2がアドレスラッチ61にラッチされる。このとき前に入力された書き込みアドレスWA1は、シフトレジスタ62に移動され格納される。

【0060】

書き込みアドレスWA2がアドレスラッチ61にラッチされると同時に、データ信号DQのデータD0が、データストローブ信号DSの立ち上がりエッジに応じて、データラッチ51にラッチされる。次にデータストローブ信号DSの立ち下がりエッジに応じて、データD1がデータラッチ53にラッチされる。それと同時に、データラッチ51のデータD0が、シフトレジスタ52に格納される。

【0061】

上記動作と平行して、書き込みアドレスWA1の入力から1.5サイクル後のタイミング (clk2.5) から、書き込みアドレスWA1に対するデータ書き込みが開始される。即ち、書き込みアドレスWA1がシフトレジスタ62から、アドレスバッファ28に供給されると共に、シフトレジスタ52のデータD0とデータラッチ53のデータD1が、ライトアンプ29及び30に供給される。

【0062】

次にデータ信号DQのデータD2が、データストローブ信号の立ち上がりエッジに応じて、データラッチ54にラッチされる。次にデータストローブ信号の立ち下がりエッジに応じて、データD3がデータラッチ56にラッチされる。それと同時に、データラッチ54のデータD2が、シフトレジスタ55に格納される。

【0063】

更に、書き込みアドレスWA2の入力から1.5サイクル後のタイミング (clk3.5) から、書き込みアドレスWA2に対するデータ書き込みが開始される。即ち、書き込みアドレスWA2がシフトレジスタ62から、アドレスバッファ28に供給されると共に、シフトレジスタ55のデータD2とデータラッチ56のデータD3が、ライトアンプ29及び30に供給される。

【0064】

以上のように第2の実施例に於いては、アドレス信号をクロック信号CLKに同期したままにしておいて、データストローブ信号DSに同期して取り込まれるデータ信号を、クロック信号CLKに同期して適切なタイミングで出力する。このタイミングは、最長tDSに对应出来るように、データ書き込みアドレスの入力から所定のクロックサイクル後のタイミングに設定すればよい。これによって、アドレスとデータとをクロック信号CLKに同期した同時タイミングで内部回路に供給して、データ書き込みを行うことが出来る。

【0065】

図11は、ラッチ入力クロック生成器58の回路構成を示す回路図である。

図11のラッチ入力クロック生成器58は、NAND回路221乃至229、

インバータ230乃至243、及び複数の容量Cを含む。

データストローブ入力バッファ12から供給されるデータストローブ信号DSは、インバータ230乃至232と複数の容量Cからなる遅延素子列で遅延される。NAND回路221及びインバータ237は、データストローブ信号DSと遅延された反転データストローブ信号とのANDを取ることで、データストローブ信号DSの立ち上がりエッジでHIGHになるパルス信号を生成する。このパルス信号は、分周データストローブ信号ds2xがHIGHの時に、NAND回路228及びインバータ242を介してラッチ入力クロックds1pzとして出力される。また分周データストローブ信号ds2xがLOWの時に、NAND回路229及び243を介して、ラッチ入力クロックds2pzとして出力される。

【0066】

インバータ233に入力されたデータストローブ信号DSは、インバータ234乃至236と複数の容量Cからなる遅延素子列で遅延される。NAND回路222及びインバータ238は、反転されたデータストローブ信号DSと遅延されたデータストローブ信号とのANDを取ることで、データストローブ信号DSの立ち下がりエッジでHIGHになるパルス信号を生成する。このパルス信号は、分周データストローブ信号ds2xがHIGHの時に、NAND回路226及びインバータ240を介して、ラッチ入力クロックds1pxとして出力される。また分周データストローブ信号ds2xがLOWの時に、NAND回路227及びインバータ241を介して、ラッチ入力クロックds2pxとして出力される。

【0067】

以上のようにして生成されたラッチ入力クロックds1pz及びds2pzをそれぞれデータラッチ51及び54に供給することで、データストローブ信号DSの立ち上がりエッジに同期して、図9及び図10に示されるように偶数番目のデータをデータラッチ51及び54に交互に格納することが出来る。またラッチ入力クロックds1px及びds2pxをそれぞれデータラッチ53及び56に供給することで、データストローブ信号DSの立ち下がりエッジに同期して、図

9 及び図 10 に示されるように奇数番目のデータをデータラッチ 53 及び 56 に交互に格納することが出来る。同様にシフトレジスタ 52 及び 55 に関しても、データストローブ信号 DS の立ち下がりエッジに同期して、偶数番目のデータを交互に格納することが出来る。

【0068】

図 12 は、ラッチ出力クロック生成器 59 の回路構成を示す回路図である。

図 12 のラッチ出力クロック生成器 59 は、NAND 回路 251 乃至 255、インバータ 256 乃至 262、及び容量 C1 及び C2 を含む。インバータ 256 に入力された内部クロック信号 ICLK は、インバータ 257 乃至 259 と容量 C1 及び C2 からなる遅延素子列で遅延される。NAND 回路 251 及びインバータ 260 は、反転された内部クロック信号 ICLK と遅延された内部クロック信号 ICLK との AND を取ることで、内部クロック信号 ICLK の立ち下がりエッジで HIGH になるパルス信号を生成する。このパルス信号は、分周クロック信号 clk2z が HIGH の時に、NAND 回路 253 及び 255 を介して、ラッチ出力クロック clk1z として出力される。また分周クロック信号 clk2z が LOW の時に、NAND 回路 252 及び 254 を介して、ラッチ出力クロック clk1x として出力される。

【0069】

以上のようにして生成されたラッチ出力クロック clk1z をシフトレジスタ 52 及びデータラッチ 53 に供給することで、クロック信号 CLK の立ち下がりエッジに応じて、格納されたデータを出力することが出来る。またラッチ出力クロック clk1x をシフトレジスタ 55 及びデータラッチ 56 に供給することで、クロック信号 CLK の立ち下がりエッジに応じて、格納されたデータを出力することが出来る。

【0070】

図 13 は、データラッチ 51、シフトレジスタ 52、及びデータラッチ 53 の回路構成を示す回路図である。なおデータラッチ 54、シフトレジスタ 55、及びデータラッチ 56 の回路構成も同様である。

図 13 の回路は、インバータ 271 乃至 282 及びトランスファークロップ 28

3乃至287を含む。トランスファークラップ283乃至287の各々は、PMOSトランジスタとNMOSトランジスタとの対で構成される。インバータ273及び274が、データラッチ51に対応するラッチ部分を構成し、インバータ276及び277が、シフトレジスタ52に対応するラッチ部分を構成する。更にインバータ280及び281が、データラッチ53に対応するラッチ部分を構成する。

【0071】

図13に示される回路構成によって、ラッチ入力パルスds1pzによってデータラッチ51に偶数番目のデータを格納し、ラッチ入力パルスds1pxによってデータラッチ53に奇数番目のデータを格納すると共に、シフトレジスタ52にデータラッチ51から偶数番目のデータを移動して格納することが出来る。また更にラッチ出力パルスclk1zによって、クロック信号CLKの立ち下がりエッジに応じて、適切なタイミングでデータを出力することが出来る。

【0072】

図14は、内部クロック生成器60の一部であり、1.5クロック遅延を制御するタイミング信号clk3z及びclk3xを生成する回路構成を示す回路図である。

図14の回路は、NAND回路301及び302、インバータ303乃至311、及び複数の容量Cを含む。

【0073】

内部クロック信号ICLKは、インバータ303乃至305と複数の容量Cからなる遅延素子列で遅延される。NAND回路301及びインバータ306は、内部クロック信号ICLKと遅延された反転内部クロック信号とのANDを取ることで、内部クロック信号ICLKの立ち上がりエッジでHIGHになるパルス信号としてタイミング信号clk3zを生成する。

【0074】

インバータ307に入力された内部クロック信号ICLKは、インバータ308乃至310と複数の容量Cからなる遅延素子列で遅延される。NAND回路302及びインバータ311は、反転された内部クロック信号ICLKと遅延され

た内部クロック信号ICLKとのANDを取ることで、内部クロック信号ICLKの立ち下がリエッジでHIGHになるパルス信号としてタイミング信号clk3xを生成する。イネーブル信号wrtzがLOWのときには、clk3z及びclk3xは共にLOWとなる。

【0075】

図15は、アドレスラッチ61、シフトレジスタ62、及びアドレスバッファ28の回路構成を示す回路図である。

図15の回路は、インバータ321乃至337及びトランスファークロップ338乃至343を含む。トランスファークロップ338乃至343の各々は、PMOSトランジスタとNMOSトランジスタとの対で構成される。インバータ323及び324が、アドレスラッチ61に対応するラッチ部分を構成し、インバータ326及び327からなるラッチ及びインバータ329及び330からなるラッチが、シフトレジスタ62に対応する部分を構成する。またインバータ332及び333が、アドレスバッファ28に対応するラッチ部分を構成する。

【0076】

リード／ライト信号extpnzがHIGHになるとトランスファークロップ338が開いて、インバータ323及び324からなるラッチが、アドレス信号Addをラッチする。次のクロック信号CLKの立ち下がリエッジに対応して、タイミング信号clk3xがHIGHになることによって、インバータ326及び327からなるラッチにアドレス信号が格納される。次のクロック信号CLKの立ち上がりエッジに対応して、インバータ329及び330からなるラッチにアドレス信号を格納する。更に次のクロック信号CLKの立ち下がリエッジに対応して、ラッチに格納されたアドレスデータが、アドレスバッファ28に供給される。

【0077】

以上のようにして、シフトレジスタ62に於いて、クロック信号CLKの1.5サイクル分の遅延を導入することが出来る。なおバースト動作で順次増加されたアドレス信号iADDに対しても、動作は同様である。またリード時にはイネーブル信号wrtzがLOWとなり、アドレス信号を遅延させることなく、アド

レスバッファ 28 に供給する。そしてリードコマンドから最短時間で、出力を得ることが出来る。

【0078】

上記第 1 の実施例に於いては 2 つのアドレスラッチ（ラッチ 26 及び 27）が設けられ、第 2 の実施例に於いては 2 セットのデータラッチが設けられる。このラッチの数或いはデータラッチのセットの数は 2 つに限られず、最長 t_{DSS} の長さによっては、2 つ以上設けても良いことは明らかである。

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で自由に変更・変形が可能である。

【0079】

【発明の効果】

請求項 1 乃至 7 の発明に於いては、第 1 のクロックに同期してアドレス入力し第 2 のクロックに同期してデータ入力する半導体装置に於いて、アドレスラッチ回路は第 1 のクロックに対応してアドレスを取り込み第 2 のクロックに同期してアドレスを出力する。この際、複数のアドレスラッチ回路に順番に（2 つのアドレスラッチ回路の場合は交互に）アドレスを書き込み、また順番にアドレスを読み出すことで、データと対応するアドレスとを第 2 のクロックに同期したタイミングで同時に内部回路に供給することが出来る。従って、データストロブ信号（第 2 のクロック）の設定されたマージン内であれば、データストロブ信号のタイミングに関わらずに、適切な書き込み動作を実現することが出来る。

【0080】

請求項 8 乃至 15 の発明に於いては、第 1 のクロックに同期してアドレス入力し第 2 のクロックに同期してデータ入力する半導体装置に於いて、データラッチ回路は第 2 のクロックに対応してデータを取り込み第 1 のクロックに同期してデータを出力する。この際、複数のデータラッチ回路に順番に（2 つのデータラッチ回路の場合は交互に）データを書き込み、また順番にデータを読み出すことで、アドレスと対応するデータとを第 1 のクロックに同期したタイミングで同時に内部回路に供給することが出来る。従って、データストロブ信号（第 2 のクロ

ック) の設定されたマージン内であれば、データストロブ信号のタイミングに関わらずに、適切な書き込み動作を実現することが出来る。

【0081】

請求項 16 の発明においては、リード動作時に、最短時間で出力を得ることが出来る。

【図面の簡単な説明】

【図 1】

本発明による半導体記憶装置の第 1 の実施例を示す構成図である。

【図 2】

ラッチの入出力タイミングを示すタイミング図である。

【図 3】

分周器の回路構成を示す回路図である。

【図 4】

ラッチ入力クロック生成器の回路構成を示す回路図である。

【図 5】

ラッチ出力クロック生成器の回路構成を示す回路図である。

【図 6】

ラッチ及びアドレスバッファの回路構成を示す回路図である。

【図 7】

インクリメントラッチの回路構成を示す回路図である。

【図 8】

本発明による半導体記憶装置の第 2 の実施例を示す構成図である。

【図 9】

最短 $t_{DS S}$ の場合の半導体記憶装置の動作を説明するタイミング図である。

【図 10】

最長 $t_{DS S}$ の場合の半導体記憶装置の動作を説明するタイミング図である。

【図 11】

ラッチ入力クロック生成器の回路構成を示す回路図である。

【図 12】

ラッチ出力クロック生成器の回路構成を示す回路図である。

【図 13】

データラッチ、シフトレジスタ、及びデータラッチの回路構成を示す回路図である。

【図 14】

内部クロック生成器の一部であり 1.5 クロック遅延を制御するタイミング信号を生成する回路構成を示す回路図である。

【図 15】

アドレスラッチ、シフトレジスタ、及びアドレスバッファの回路構成を示す回路図である。

【図 16】

データストローブ信号に同期してデータ取り込みを行う半導体装置のタイミング図を示す。

【図 17】

データストローブ信号の立ち上がり、書き込みコマンド入力から 1 クロックサイクル遅れた場合のデータ取り込みを示すタイミングチャートである。

【符号の説明】

- 11 データ入力バッファ
- 12 データストローブ入力バッファ
- 13 アドレスバッファ
- 14 データラッチ
- 15 シフトレジスタ
- 16 データラッチ
- 17 分周器
- 18 分周器
- 19 ラッチ出力クロック生成器
- 20 ラッチ入力クロック生成器
- 21 内部クロック生成器
- 22 コマンドデコーダ

- 23 ライトコマンドラッチ
- 24 インクリメントラッチ
- 25 アドレス生成器
- 26 ラッチ
- 27 ラッチ
- 28 アドレスバッファ
- 29 ライトアンプ
- 29 ライトアンプ
- 31 書き込みクロック生成器
- 32 コラム選択パルス生成器
- 33 アドレス発生器
- 34 プリデコーダ
- 35 プリデコーダ
- 36 奇数セル配列
- 37 偶数セル配列
- 38 センスアンプ
- 39 センスアンプ
- 40 コラムデコーダ
- 41 コラムデコーダ
- 51 データラッチ
- 52 シフトレジスタ
- 53 データラッチ
- 54 データラッチ
- 55 シフトレジスタ
- 56 データラッチ
- 57 遅延回路
- 58 ラッチ入力クロック生成器
- 59 ラッチ出力クロック生成器
- 60 内部クロック生成器

特平 10-022257

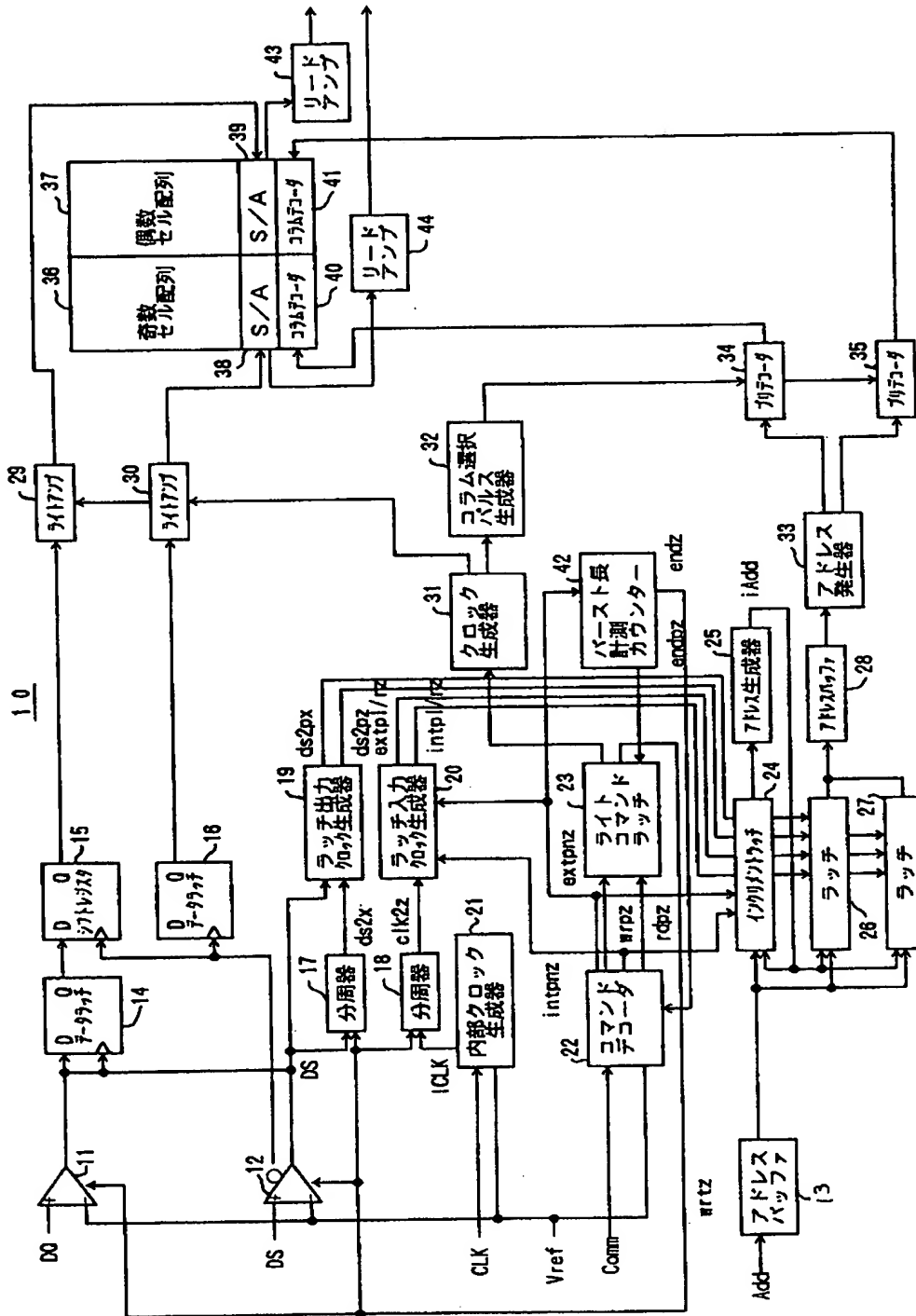
61 アドレスラッチ

62 シフトレジスタ

【書類名】 図面

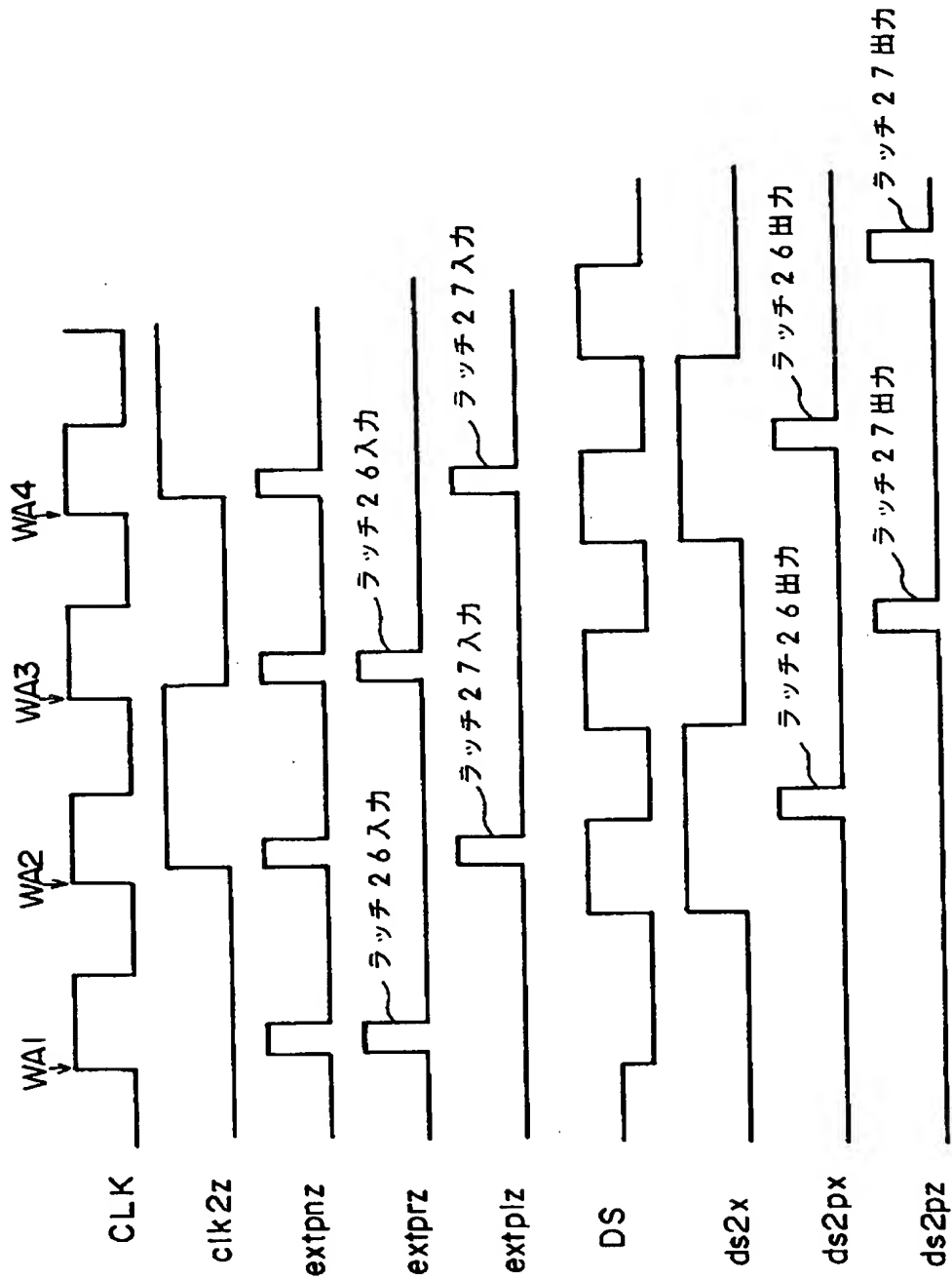
【図 1】

本発明による半導体記憶装置の第 1 の実施例を示す構成図



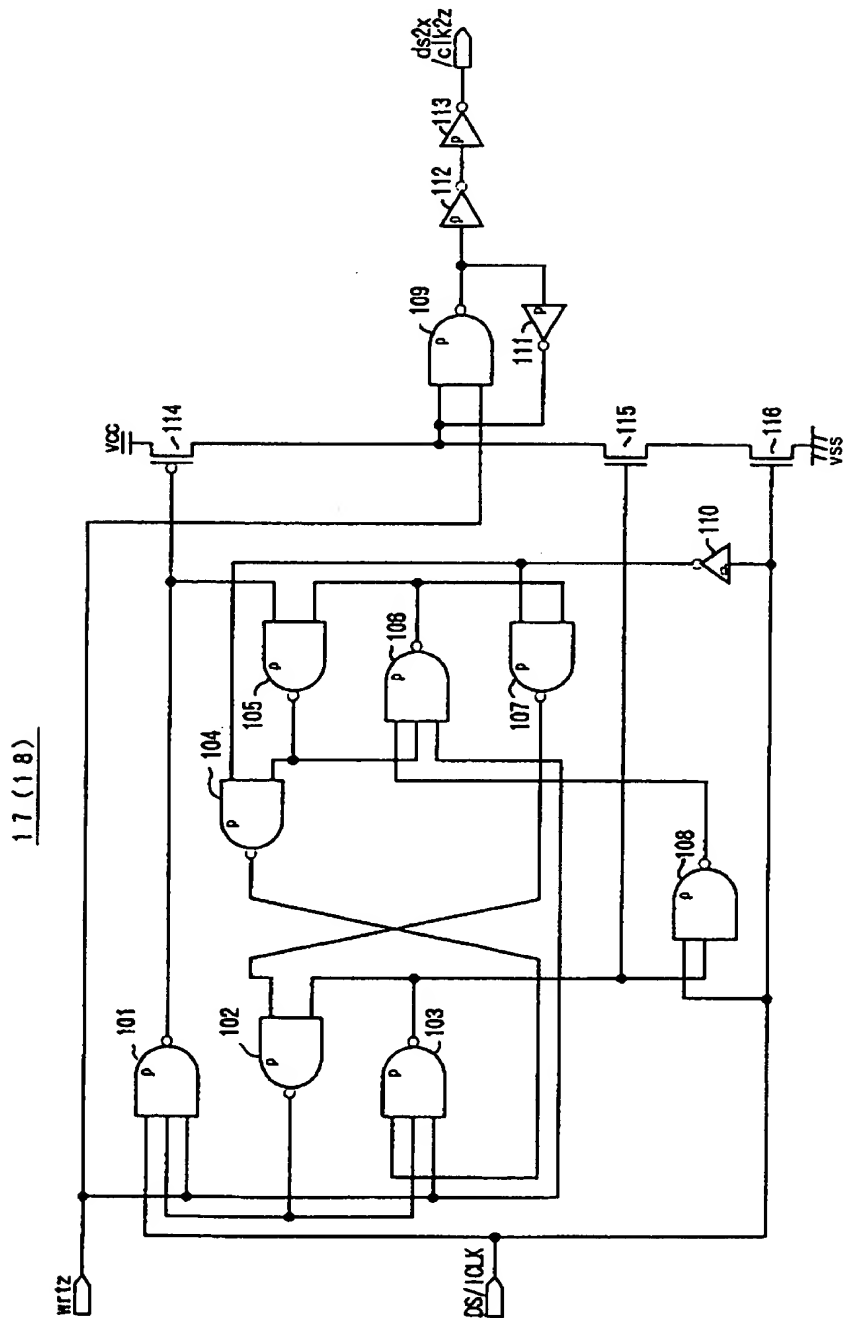
【図2】

ラッチの入出力タイミングを示すタイミング図



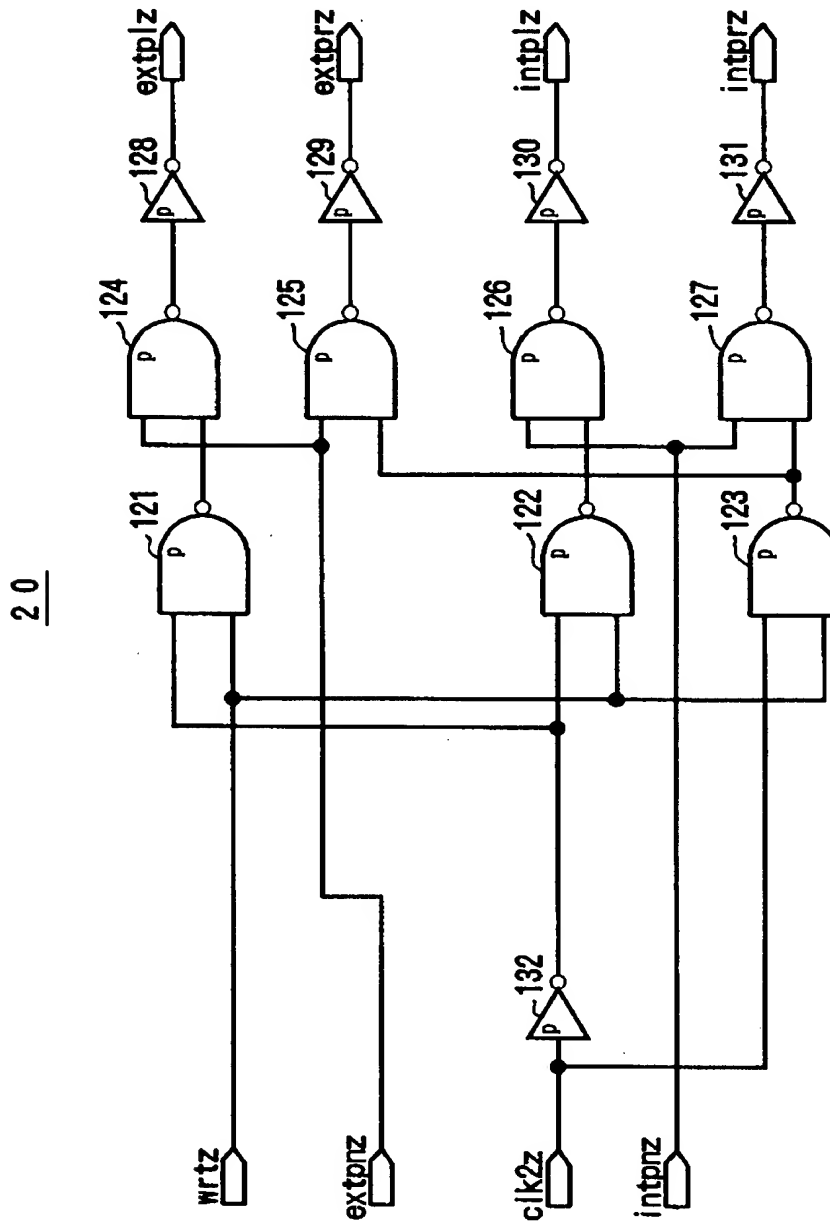
【図 3】

分周器の回路構成を示す回路図



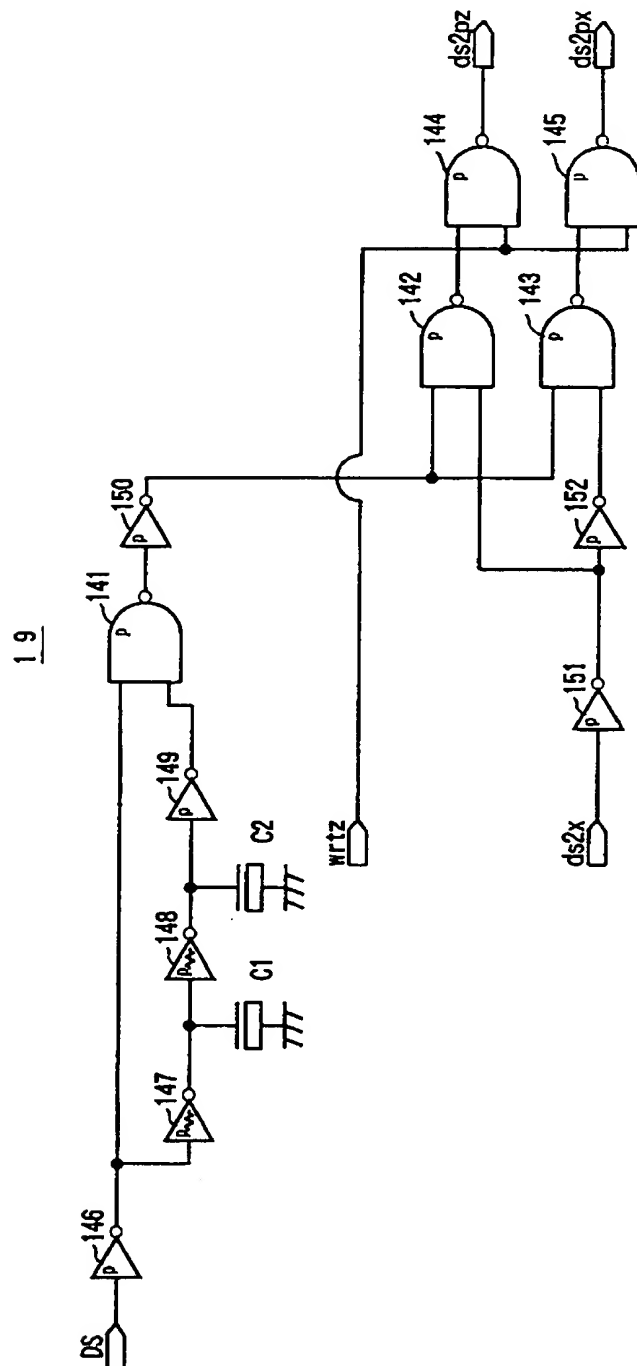
【図 4】

ラッチ入力クロック生成器の回路構成を示す回路図



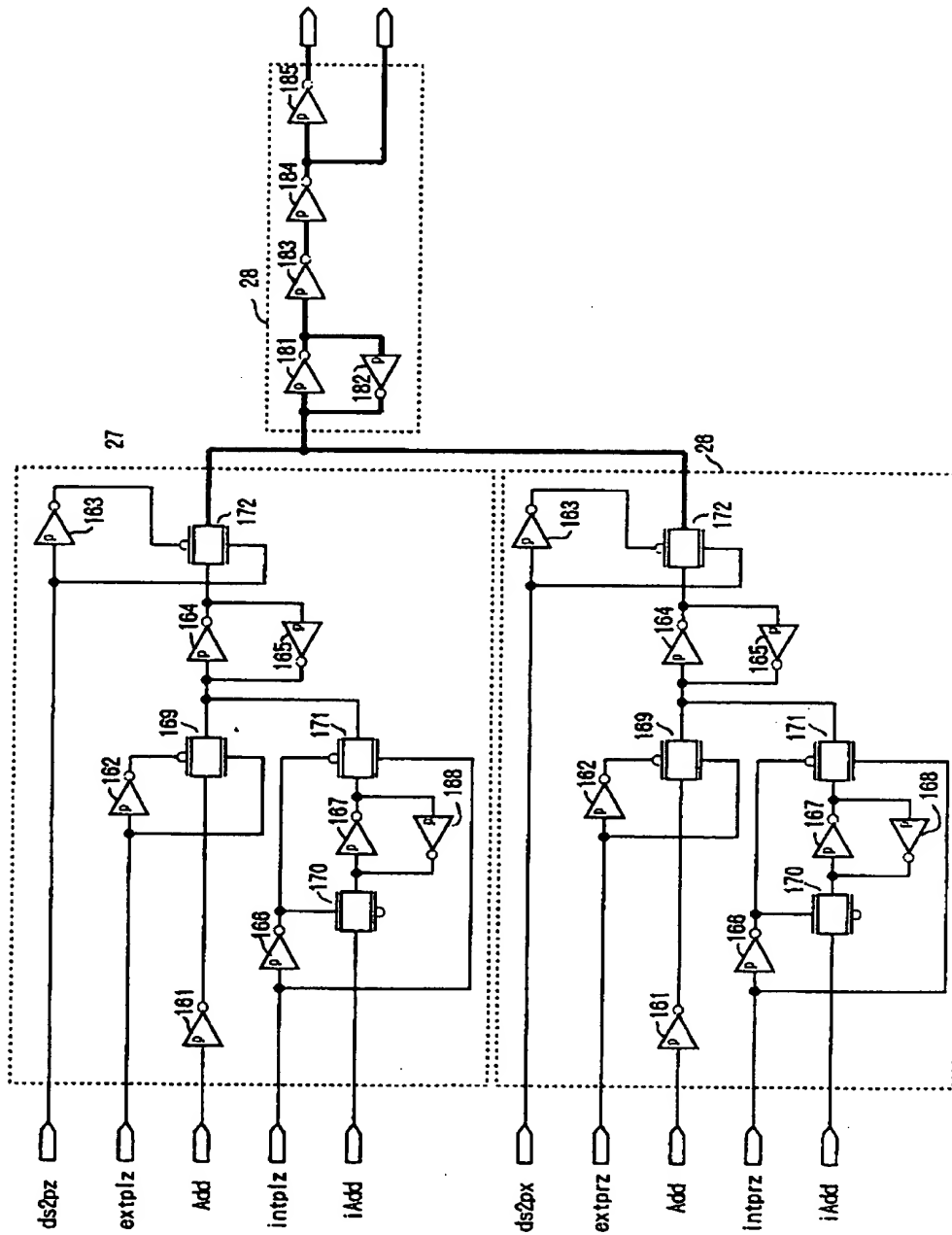
【図 5】

ラッチ出力クロック生成器の回路構成を示す回路図



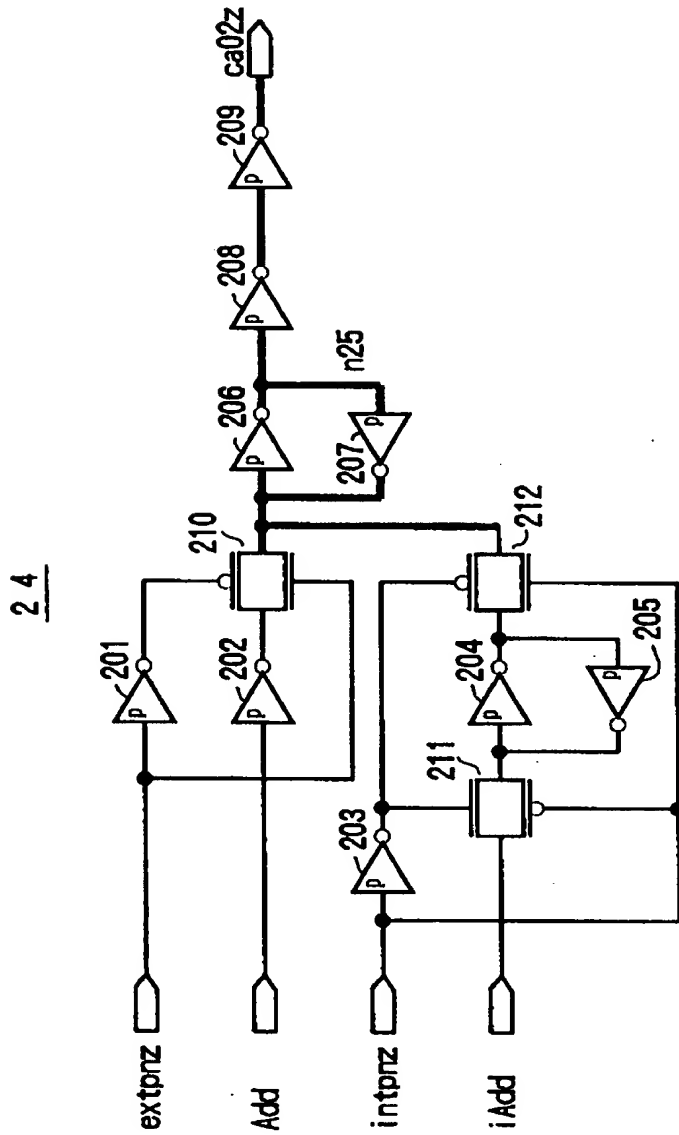
【図 6】

ラッチ及びアドレスバッファの回路構成を示す回路図



【図 7】

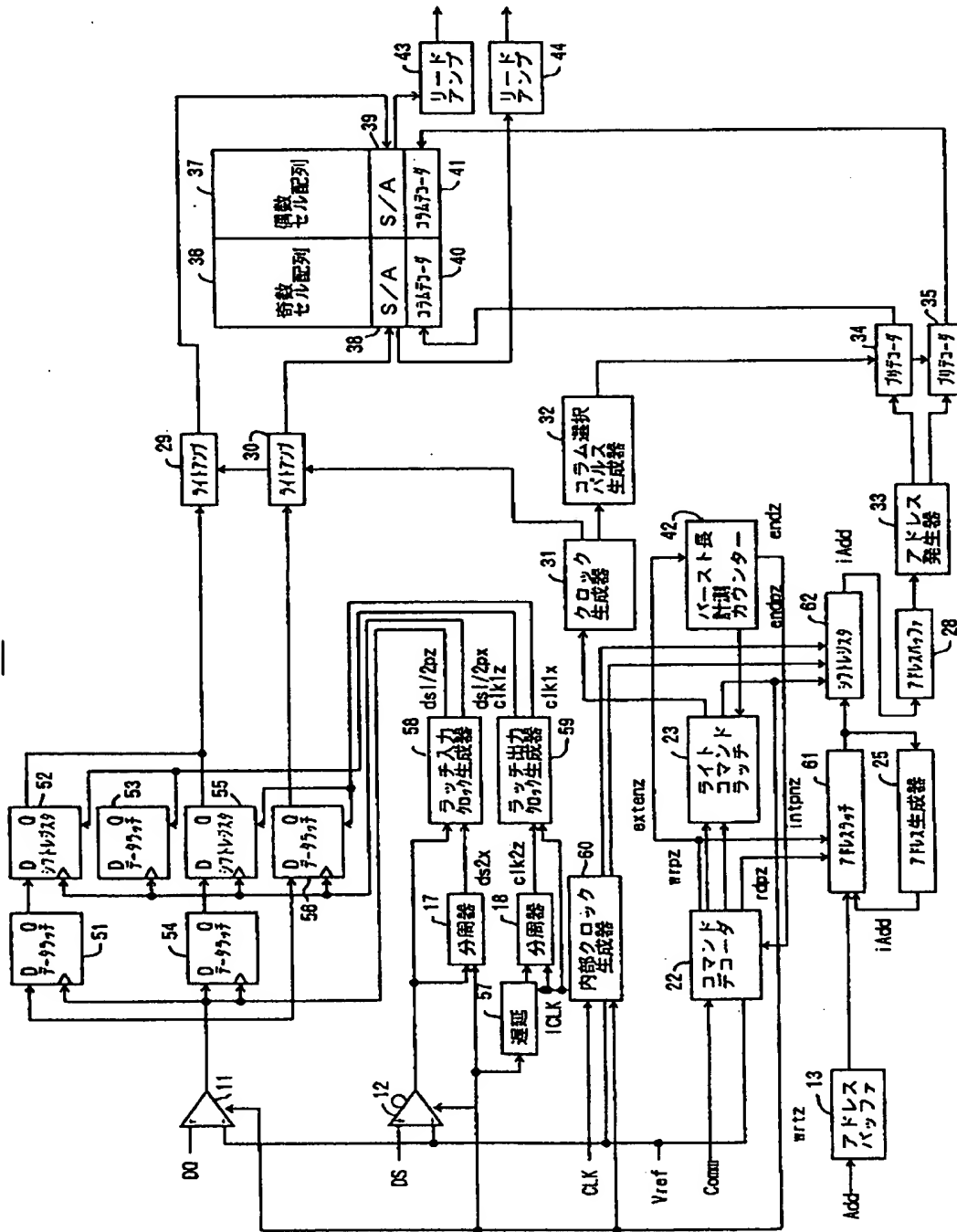
インクリメントラッチの回路構成を示す回路図



【図 8】

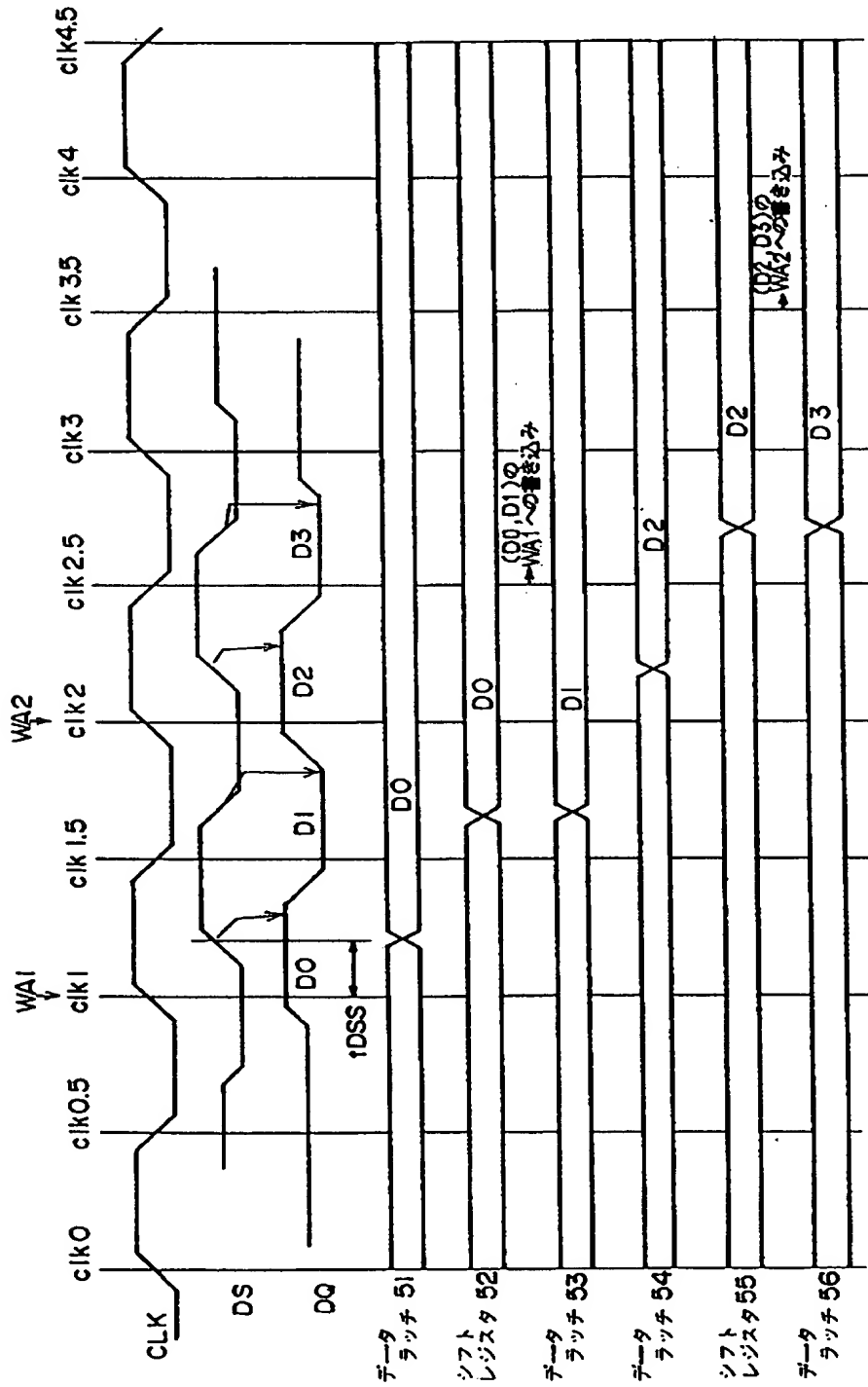
本発明による半導体記憶装置の第 2 の実施例を示す構成図

50



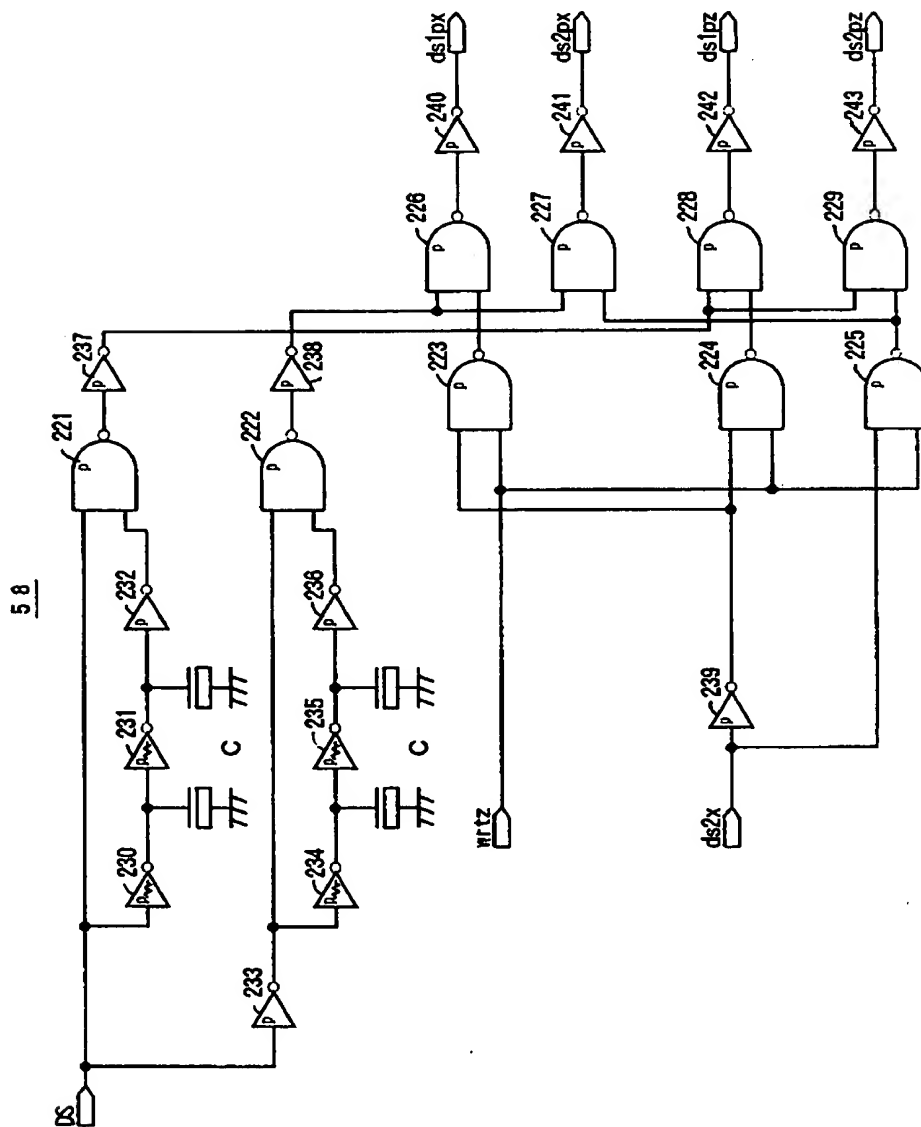
【図 9】

最短 t_{DSS} の場合の半導体記憶装置の動作を説明するタイミング図



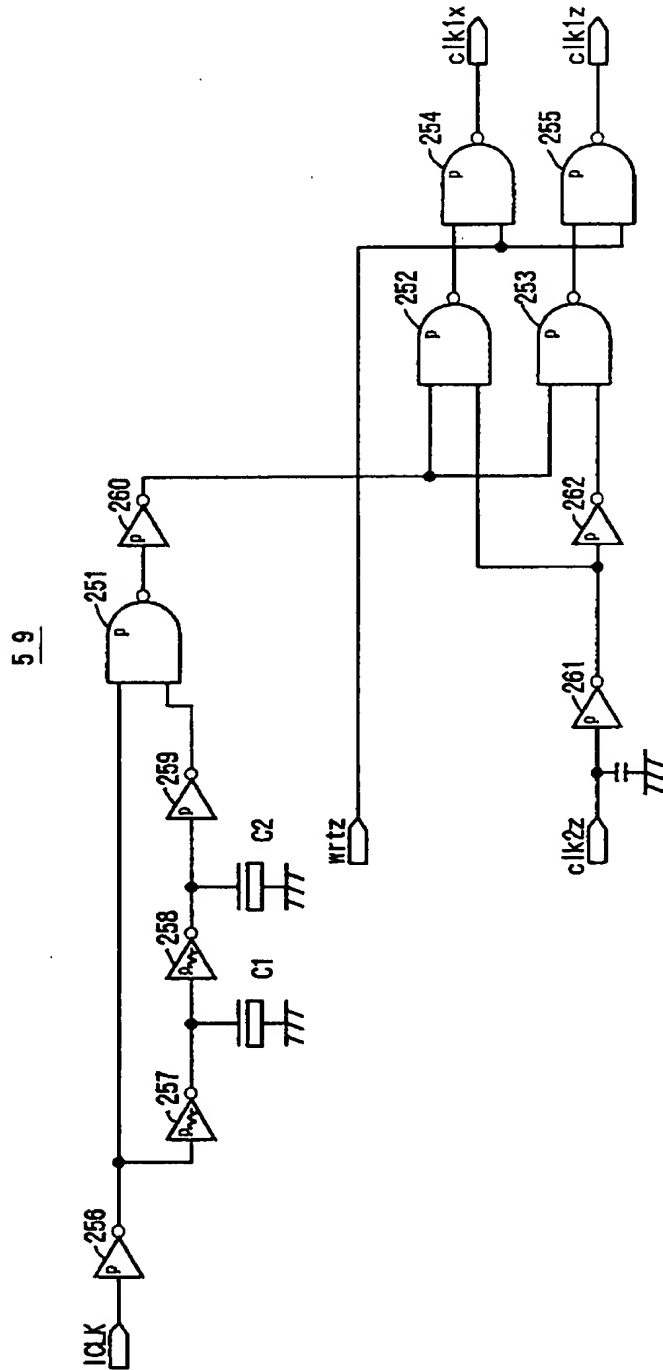
【図 1 1】

ラッチ入力クロック生成器の回路構成を示す回路図



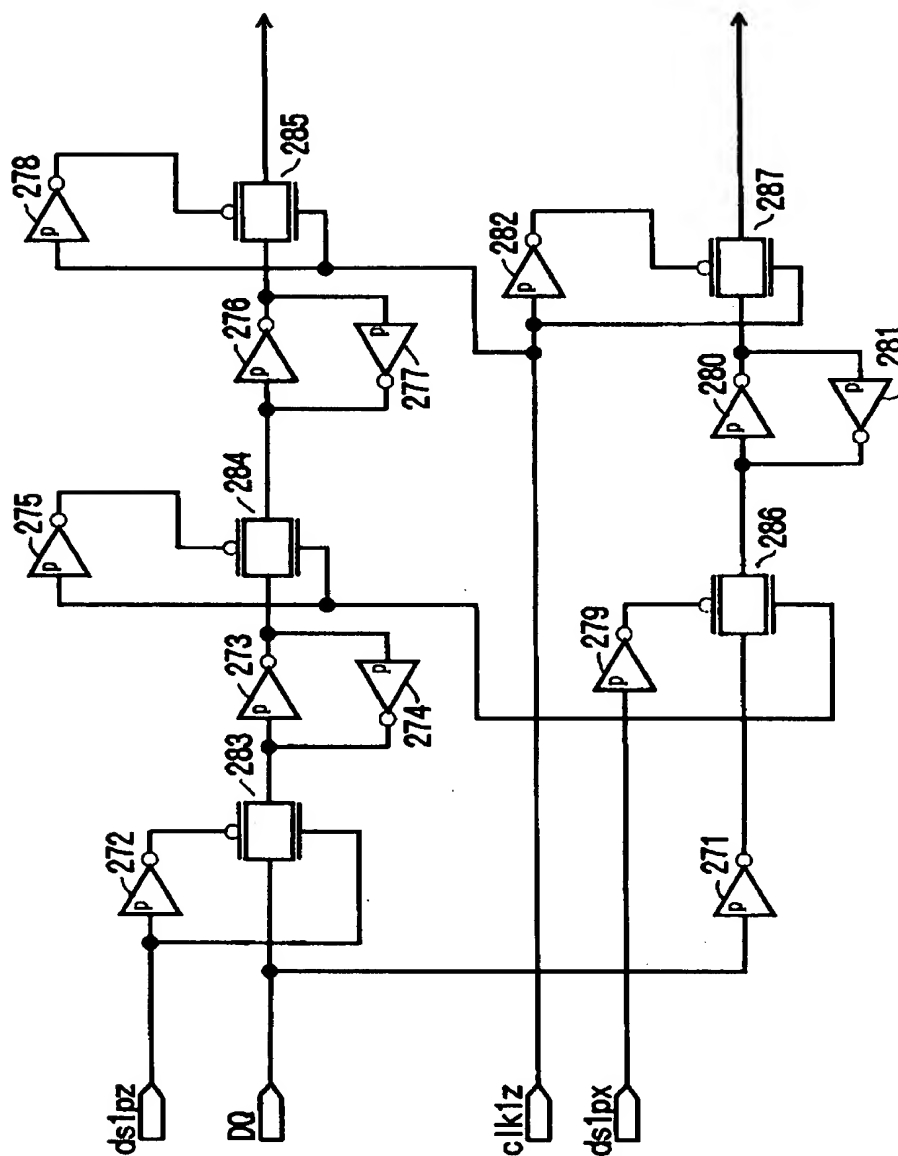
【図 12】

ラッチ出力クロック生成器の回路構成を示す回路図



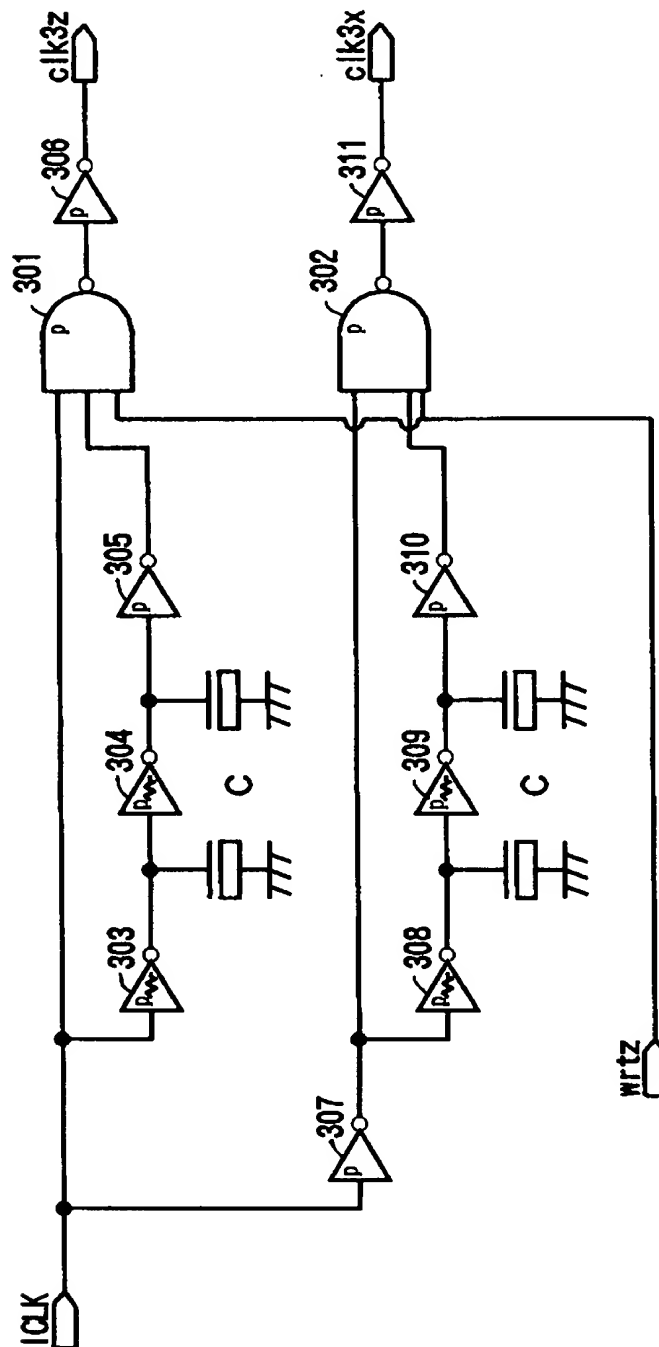
【図13】

データラッチ、シフトレジスタ、及びデータラッチの回路構成を示す回路図



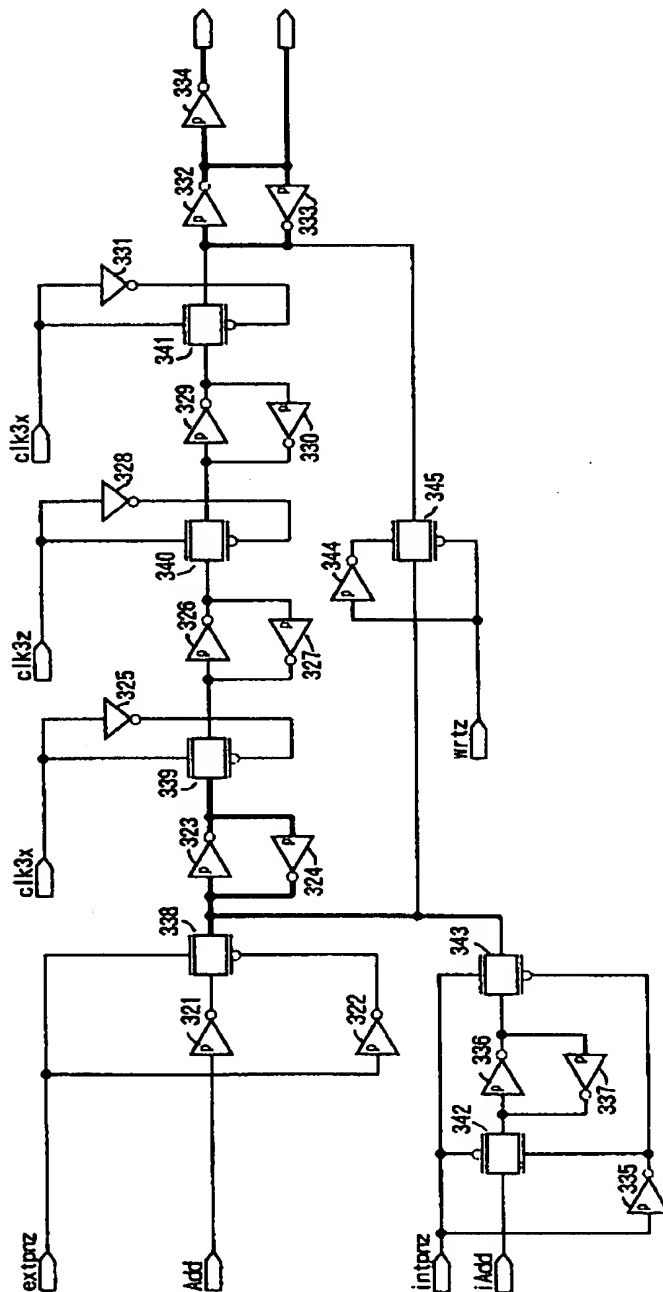
【図 14】

内部クロック生成器の一部であり、1.5クロック遅延を制御するタイミング信号を生成する回路構成を示す回路図



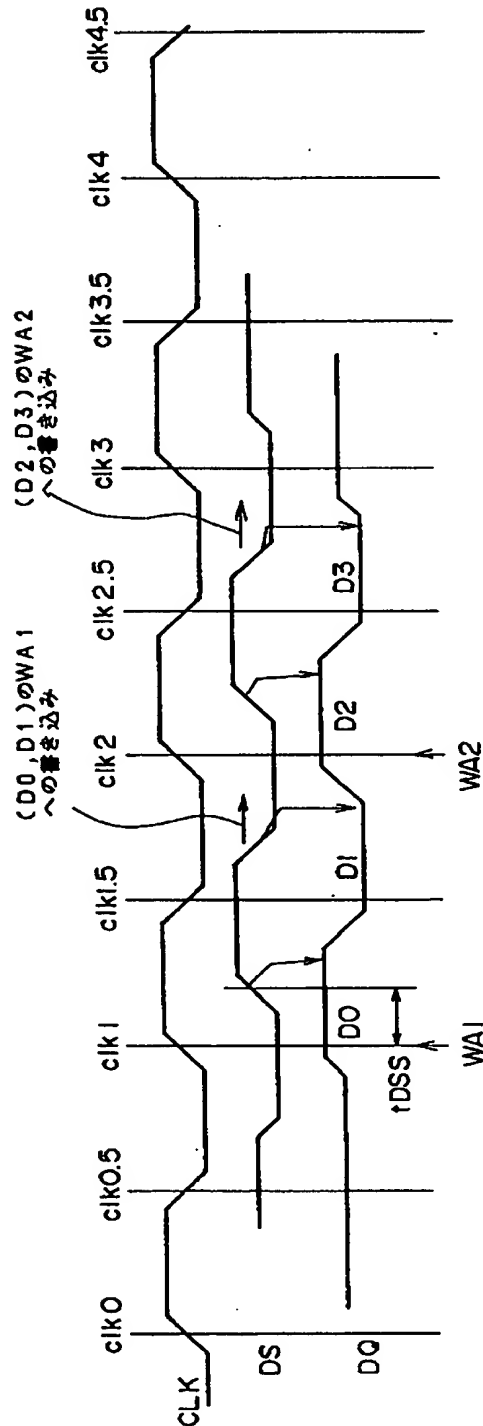
【図 15】

アドレストラッチ、シフトレジスタ、及び
アドレスバッファの回路構成を示す回路図



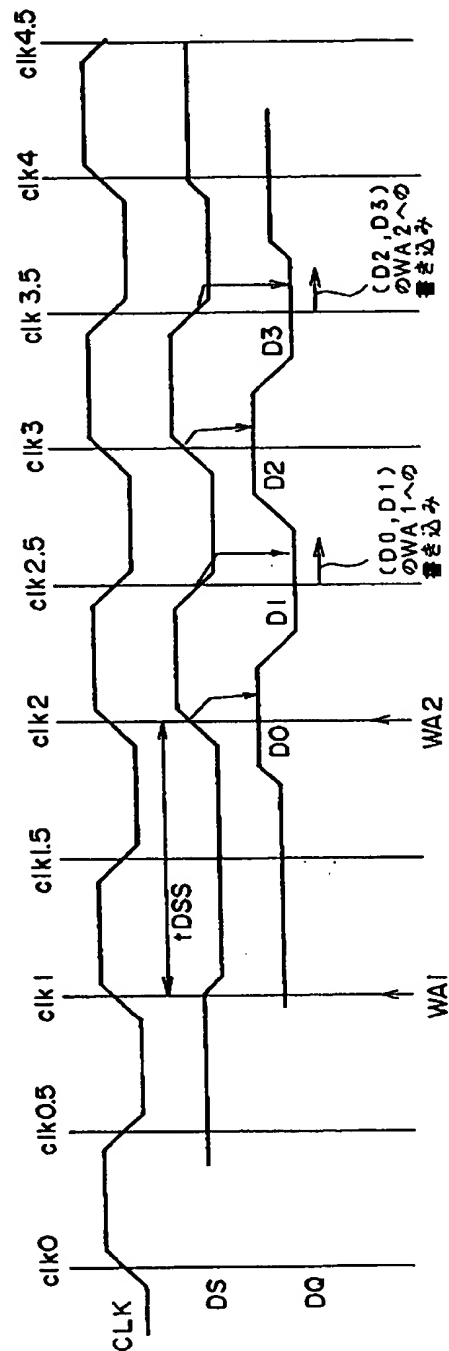
【図16】

データストロブ信号に同期してデータ取り込みを行う半導体装置のタイミング図



【図17】

データストローブ信号の立ち上がりが、書き込みコマンド入力から1クロックサイクル遅れた場合のデータ取り込みを示すタイミングチャート



【書類名】 要約書

【要約】

【課題】本発明は、データストローブ信号に許容可能なタイミングマージンを設けた、データストローブ信号に同期してデータ取り込みを行う半導体装置を提供することを目的とする。

【解決手段】第1のクロックに同期してアドレス入力し第2のクロックに同期してデータ入力する半導体装置は、アドレスを取り込む複数のアドレスラッチ回路と、第1のクロックに対応して複数のアドレスラッチ回路の一つを順番に指定して、指定されたアドレスラッチ回路が第1のクロックに対応してアドレスを取り込むように制御する第1の制御回路と、第2のクロックに対応して複数のアドレスラッチ回路の一つを順番に指定して、指定されたアドレスラッチ回路が第2のクロックに同期してアドレスを出力するように制御する第2の制御回路とを含む。

【選択図】 図1

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005223

【住所又は居所】

神奈川県川崎市中原区上小田中4丁目1番1号

【氏名又は名称】

富士通株式会社

【代理人】

申請人

【識別番号】

100070150

【住所又は居所】

東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【氏名又は名称】

伊東 忠彦

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社